

**ВЫБОР АРХИТЕКТУРЫ И РАСЧЕТ ПАРАМЕТРОВ
ЕМКОСТНОГО ЦИФРО-АНАЛОГОВОГО ПРЕОБРАЗОВАТЕЛЯ
ДЛЯ МИКРОМЕХАНИЧЕСКОГО АКСЕЛЕРОМЕТРА**

Yu.A. Andryakov, A.A. Anikina, Ya.V. Belyaev

**ARCHITECTURE SELECTION AND PARAMETER CALCULATION
OF A CAPACITIVE DIGITAL-TO-ANALOG CONVERTER
FOR A MICROMECHANICAL ACCELEROMETER**

Рассмотрена методика выбора архитектуры емкостного цифро-аналогового преобразователя (ЦАП), входящего в состав аналого-цифрового преобразователя (АЦП) последовательного приближения для интегральной схемы микромеханического акселерометра. При решении задачи выбора архитектуры емкостного ЦАП рассматривается подкласс бинарных архитектур по способу конфигурации единичных элементов в массиве ЦАП. Методика основана на анализе технологических, технических и топологических ограничений, а также на расчете параметров ЦАП. При расчете параметров учитывались ограничения по тепловому шуму, технологическому разбросу, правилам проектирования, а также ограничения по площади и быстродействию. Предлагаемая методика может использоваться на раннем этапе проектирования аналого-цифрового преобразователя последовательного приближения.

ЕМКОСТНЫЙ ЦАП; АЦП ПОСЛЕДОВАТЕЛЬНОГО ПРИБЛИЖЕНИЯ; МИКРОМЕХАНИЧЕСКИЙ АКСЕЛЕРОМЕТР; АРХИТЕКТУРА ЦАП.

The article consider the procedure of selecting the architecture for a capacitive digital-to-analog converter (DAC) used in a successive approximation analog-to-digital converter (SAR ADC) for a micromechanical accelerometer. In comparison with the existing methods, the proposed method is based on analyzing not only the technical and technological requirements of the IC but also the technical requirements of the sensor, layout restrictions, and on calculating the parameters of the DAC. The proposed method has been used in SAR ADC design for a charge-balanced capacitive micromechanical accelerometer with measurement range of 10 g and threshold of sensitivity of 0.02 g for the bandwidth of 300 Hz. The presented method can be used in the early design stage for DAC architecture selection used in SAR ADC.

CAPACITIVE DAC; SUCCESSIVE APPROXIMATION ANALOG-TO-DIGITAL CONVERTER (SAR ADC); MICROMECHANICAL ACCELEROMETER; DAC ARCHITECTURE.

В состав микромеханического акселерометра входит чувствительный элемент и специализированная интегральная схема (ИС), состоящая из аналоговых, цифровых и аналого-цифровых блоков. Одним из блоков ИС является аналого-цифровой преоб-

разователь (АЦП), параметры которого существенно влияют на точность датчика.

При проектировании АЦП в составе ИС необходимо учитывать статистический разброс технологических параметров, паразитные эффекты топологической реали-

зации блока, влияние функционирования цифровой части на аналоговую часть АЦП [1]. При этом АЦП микромеханического акселерометра (ММА) целесообразно разрабатывать с учетом технических требований к ММА в целом, его архитектуры и характеристик отдельных блоков, входящих в состав ИС.

На раннем этапе проектирования АЦП основной задачей является определение его структуры и архитектуры входящих в его состав блоков. Ошибка в определении архитектуры блоков может привести к увеличению временных затрат при разработке и увеличению числа конструктивных решений. Существующие методики выбора структуры АЦП и архитектуры входящих в его состав блоков, как правило, опираются на экспертную оценку и на опыт предыдущих разработок [2], либо основаны на переборе всех разработанных схемотехнических решений блоков [3]. Характеристики АЦП во многом определяются выбором архитектуры входящих в его состав блоков и, прежде всего, выбором архитектуры ЦАП.

В статье предложены методики выбора архитектуры емкостного ЦАП, входящего в состав аналого-цифрового преобразователя последовательного приближения на основе значений рассчитываемых параметров ЦАП, а также результатов анализа техниче-

ских требований к датчику и ИС, технологических и топологических ограничений.

Общее описание методики

АЦП последовательного приближения содержит компаратор, цифро-аналоговый преобразователь (ЦАП), устройство выборки и хранения, регистр последовательного приближения. Регистр последовательного приближения осуществляет алгоритм последовательного приближения, генерируя текущее значение кода, подающегося на вход ЦАП [4]. Цифро-аналоговый преобразователь – основная часть АЦП последовательного приближения, может реализовываться на основе различных элементов: конденсаторов, резисторов и др. Наиболее популярными являются ЦАП с емкостной архитектурой, поскольку в современных технологиях КМОП конденсаторы обладают меньшим технологическим разбросом, чем резисторы.

При описании предложенной методики рассматриваются архитектуры недифференциального емкостного ЦАП, не предполагающие цифровую компенсацию: двоично-взвешенный массив (Binary Weighted) [5, 6] (рис. 1 а); двухступенчатый массив (Split Binary Weighted) [7–9] (рис. 1 б); разделенный массив ЦАП на N ступеней [4] (рис. 1 в); массив ЦАП С2С [10] (рис. 1 г).

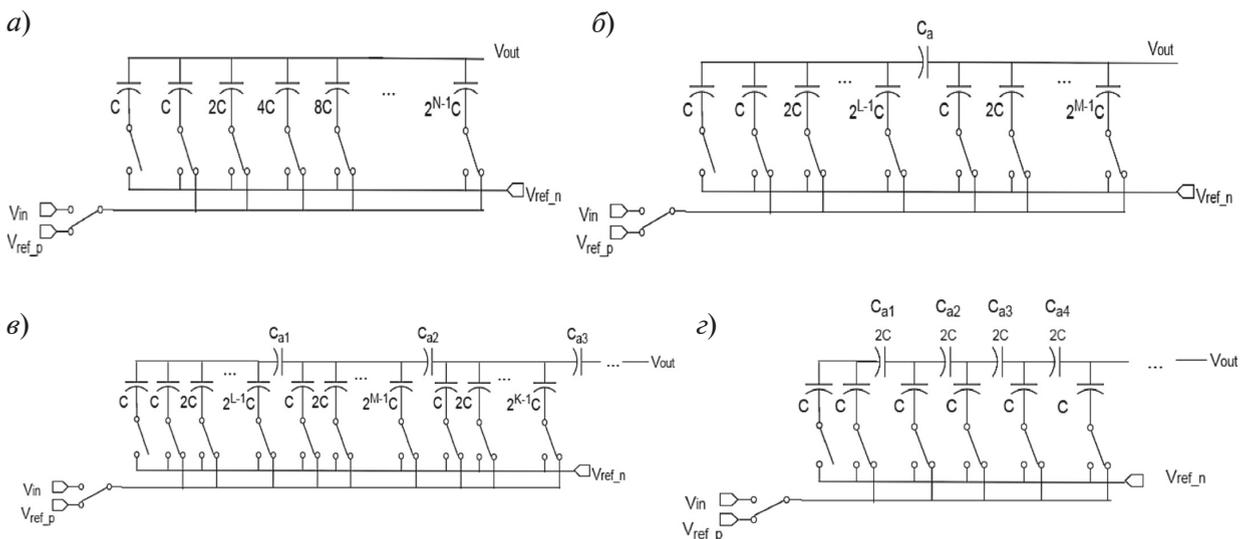


Рис. 1. Рассматриваемые архитектуры ЦАП: а – двоично-взвешенный массив ЦАП; б – двухступенчатый массив ЦАП; в – N -ступенчатый массив ЦАП; г – массив ЦАП С2С

Однако данная методика может быть применима и для других архитектур ЦАП.

Для уменьшения временных затрат на проектирование всех архитектур ЦАП и последующего их перебора предлагается:

1) проанализировать технологические, технические и топологические ограничения для определения возможности реализации ЦАП в составе АЦП;

2) аналитически определить для всех рассматриваемых архитектур ЦАП минимально допустимые значения емкостей конденсаторов, удовлетворяющие ограничениям по тепловому шуму, технологическому разбросу, правилам проектирования, по площади и по быстродействию;

3) на основании результатов анализа и расчетов наименьших значений емкости ЦАП определить предполагаемые характеристики всего АЦП: площадь, энергопотребление, ожидаемое число эффективных бит, частота преобразования и нелинейность;

4) выбрать архитектуру ЦАП, АЦП в составе с которым обладает характеристиками, удовлетворяющими поставленным требованиям, а также имеющего по сравнению с другими архитектурами наименьшие значения емкостей конденсаторов.

Методика позволяет сократить временные ресурсы на начальном этапе проектирования и выбрать одну архитектуру для ее дальнейшей разработки на схемотехническом уровне.

Анализ технических, технологических и топологических ограничений

При анализе технических требований необходимо учесть требования к датчику по точности, линейности, полосе пропускания, диапазону измерений, а также требования к ИС: площадь, энергопотребление, разрядность данных. На основании анализа формируются требования к АЦП: разрядность N , число эффективных бит $ENOB$, частота преобразования АЦП f_{ADC} , нелинейность INL , DNL , площадь S_{ADC} .

Требования датчика по точности и диапазону измерений формируют требования по разрядности данных ИС. Полоса пропускания датчика непосредственно влияет

на минимальную частоту преобразования АЦП. Необходимость использования АЦП как для съема данных с разомкнутого датчика, так и в составе компенсационного требует от АЦП умеренного отношения его точности к быстродействию. Для уменьшения площади, занимаемой в интегральной схеме, в датчиках используется блок АЦП с временным разделением съема нескольких входных сигналов, например, для дополнительного снятия температуры. Для достижения временного разделения требуется отсутствие задержки при формировании цифрового кода в АЦП.

При анализе технологических ограничений необходимо учесть тип допустимых конденсаторов, технологический разброс емкости A_C , минимально допустимый размер и удельную емкость D конденсатора. Выбранный технологический процесс может содержать несколько типов конденсаторов, отличающихся друг от друга перечисленными выше параметрами. Поэтому расчет параметров ЦАП необходимо проводить для каждого из имеющихся типов конденсаторов. Также необходимо учитывать максимальную частоту цифровой части или максимальную задержку в стандартных элементах. Максимальная частота цифровой части определяет верхнюю границу частоты преобразования АЦП:

$$T = \frac{1}{f_{ADC} \cdot N + 2} > T_{\min}, \quad (1)$$

где T – период цифровой части АЦП; T_{\min} – минимально возможный период тактового сигнала в выбранной технологии; N – разрядность АЦП; f_{ADC} – частота преобразования АЦП.

При проектировании топологии массива конденсаторов ЦАП обычно для уменьшения технологического разброса используют топологию с общим центром, а также элементы «болванки» (dummy) [11]. Создание топологии в таком случае для сегментированных архитектур становится нетривиальной задачей. Для упрощения топологической реализации емкость мостовых конденсаторов может быть выбрана идентичной с единичным конденсатором. Также при раз-

работке топологии необходимо учитывать форму обкладок конденсатора.

Расчет параметров ЦАП

Определение параметров ЦАП подразумевает расчет значений емкостей конденсаторов, входящих в структуру ЦАП: определение наименьшего значения емкости единичного конденсатора, из которого собираются конденсаторы для каждой ветви ЦАП, соответствующей разрядам, а также емкости мостовых (разделительных) конденсаторов, если они имеются. Для определения значений емкостей конденсаторов каждой архитектуры ЦАП на начальном этапе проектирования необходимо для каждой выбранной архитектуры вычислить минимальное значение емкости единичного и мостового конденсатора из ограничений по тепловому шуму, технологическому разбросу, правилам проектирования, а также ограничений по площади и быстродействию [12].

Для определения наименьшего значения емкости потребуется значение общей емкости ЦАП C_{DAC} , которое для каждой архитектуры ЦАП может быть выражено через емкость единичного конденсатора C .

Определение наименьшего значения емкости из ограничений по тепловому шуму. Тепловой шум является существенным ограничением при проектировании блоков ИС, он не может быть устранен путем ввода цифровой коррекции, увеличив сложность схемы и мощность потребления [13]. Тепловой шум для массива конденсаторов ЦАП при выборке входного сигнала (sampling phase) может быть вычислен по формуле [14, 15]:

$$\sigma_{th} = \sqrt{\frac{k \cdot T}{C_{DAC}}} < \frac{1}{2} LSB, \quad (2)$$

где C_{DAC} – общая емкость ЦАП; k – постоянная Больцмана; T – температура, К.

Для того чтобы определить границу для наименьшего значения емкости единичного и мостового конденсатора для каждой из архитектур из ограничений по тепловому шуму необходимо выразить емкость C из формулы (2). Для емкости массива ЦАП C_{DAC} ограничение примет вид:

$$C_{DAC} > \frac{k \cdot T}{(0,5 \cdot LSB)^2}, \quad (3)$$

где C_{DAC} – общая емкость ЦАП; k – постоянная Больцмана; T – температура, К.

Определение наименьшего значения емкости из ограничений по технологическому разбросу. Из-за технологического разброса емкость конденсатора является независимой случайной величиной с математическим ожиданием C и среднеквадратическим отклонением σ (формула Пелгрона):

$$\sigma \left(\frac{\Delta C}{C} \right) = \frac{A_C}{\sqrt{WL}} = \frac{A_C \cdot \sqrt{D}}{\sqrt{C}}, \quad (4)$$

где D – удельная емкость конденсатора; W , L – ширина и длина конденсатора соответственно; A_C – технологический разброс емкости конденсатора.

Для M конденсаторов, включенных параллельно, изменение емкости, вызванное технологическим разбросом, будет равно [14]:

$$\Delta C_M = C \sqrt{2^M} \sigma \alpha = \sqrt{C} \cdot \sqrt{2^M} \cdot A_C \sqrt{D} \cdot \alpha, \quad (5)$$

где α – уровень достоверности (для 99,7 % $\alpha = 3 \div 3,5$) [14]; A_C – технологический разброс емкости конденсатора; D – удельная емкость конденсатора.

Для каждой архитектуры необходимо рассчитать напряжение на выходе ЦАП с учетом технологического разброса, используя выражение (5). Напряжение на выходе ЦАП должно быть меньше предполагаемой ошибки ЦАП, которую обычно выбирают равной 0,5 младшего значащего разряда [14]. Для АЦП с двухсегментным массивом ЦАП ограничение примет вид:

$$\frac{C_{ii} \cdot C_a}{C_L \cdot C_a + (C_L + C_a) \cdot C_M} - \frac{(C_{ii} + \Delta C_{ii}) \cdot (C_a + \Delta C_a)}{(C_L + \Delta C_L) \cdot (C_a + \Delta C_a) + (C_L + \Delta C_L + C_a + \Delta C_a) \cdot (C_M + \Delta C_M)} < \frac{1}{2} LSB, \quad (6)$$

$$\frac{(C_L + C_a) \cdot C_{mi}}{C_L \cdot C_a + (C_L + C_a) \cdot C_M} - \frac{(C_L + \Delta C_L + C_a + \Delta C_a) \cdot (C_{mi} + \Delta C_{mi})}{(C_L + \Delta C_L) \cdot (C_a + \Delta C_a) + (C_L + \Delta C_L + C_a + \Delta C_a) \cdot (C_M + \Delta C_M)} < \frac{1}{2} LSB, \quad (7)$$

где C_a – емкость мостового конденсатора; C_{li} – емкость конденсаторов младшего массива (от 1 до L , где L – количество разрядов в младшем массиве); C_{mi} – емкость конденсаторов старшего массива (от $L + 1$ до $M + L$, где M – количество разрядов в старшем массиве).

Определение наименьшего значения емкости из ограничений по площади. Основную площадь в блоке АЦП последовательного приближения на переключаемых конденсаторах занимает ЦАП, который может составлять не менее $1/3$ всей площади АЦП, причем лишь 60–70 % занимают конденсаторы, остальная площадь расходуется на трассировку. Предполагается, что топология ЦАП будет выполнена с общим центром (common centroid). Поэтому приблизительно можно оценить наименьшее значение конденсаторов ЦАП следующим образом:

$$C < \frac{0,6 \cdot SD}{3 \cdot Num_C}, \quad (8)$$

где S – площадь блока; D – удельная емкость конденсатора; Num_C – количество единичных конденсаторов.

Определение наименьшего значения емкости из ограничений по быстродействию. Ограничение на емкость массива ЦАП может быть найдено из выражения:

$$C_{DAC} < \frac{1}{(N + 1) \cdot \ln(2) \cdot R_{switch} \cdot f_{ADC} \cdot (N + 2)}, \quad (9)$$

где N – разрядность АЦП; f_{ADC} – частота преобразования; R_{switch} – сопротивление ключей, коммутирующих массив конденсаторов.

Выражение (9), позволяющее определить верхнюю границу емкости ЦАП для заданных технических требований и выбранного технологического процесса, было получено с учетом рассмотрения переходного процесса установления выходного сигнала.

Выбор архитектуры ЦАП для АЦП последовательного приближения

Методика использовалась при проектировании АЦП последовательного при-

ближения с перераспределением заряда для интегральной схемы ММА компании АО «Концерн «ЦНИИ «Электроприбор». Методика автоматизирована с использованием программной среды Matlab. Блок АЦП последовательного приближения предназначен для интегральной схемы микромеханического акселерометра с компенсацией по изменению заряда с диапазоном измерений ± 10 g, полосой пропускания 300 Гц и порогом чувствительности 0,02 g.

По результатам анализа ограничений выбранной технологии 350 нм и технических требований были сформулированы требования к АЦП по разрядности данных в 12 бит, по частоте преобразования более 600 Гц. Ограничениями по площади блока АЦП является 500 x 600 мкм. Нелинейность блока АЦП (интегральная и дифференциальная) должна быть меньше двух младших разрядов (LSB). Для упрощения топологической реализации ЦАП с общим центром введено ограничение, связанное с одинаковым значением мостового и единичного конденсатора ($C_a = C$).

Результаты расчета. Зависимость отклонения напряжения на выходе ЦАП от емкости единичного конденсатора с учетом технологического разброса, а также ограничения по площади, тепловому шуму и быстродействию для архитектуры двоично-взвешенного ЦАП и двух ступенчатого ЦАП представлены на рис. 2. Пересечение зависимости отклонения напряжения на выходе ЦАП от емкости единичного конденсатора с учетом технологического разброса и прямой, соответствующей напряжению, равному 0,5 LSB, определяет минимально допустимое значение емкости единичного конденсатора. Из рис. 2 а видно, что архитектура двоично-взвешенного ЦАП не удовлетворяет ограничению по площади для минимально допустимого значения емкости единичного конденсатора 30 фФ.

С использованием предлагаемой методики была выбрана архитектура АЦП с двухступенчатым массивом ЦАП. Для сокращения площади ЦАП каждая ступень массива содержит по 6 разрядов. Количе-

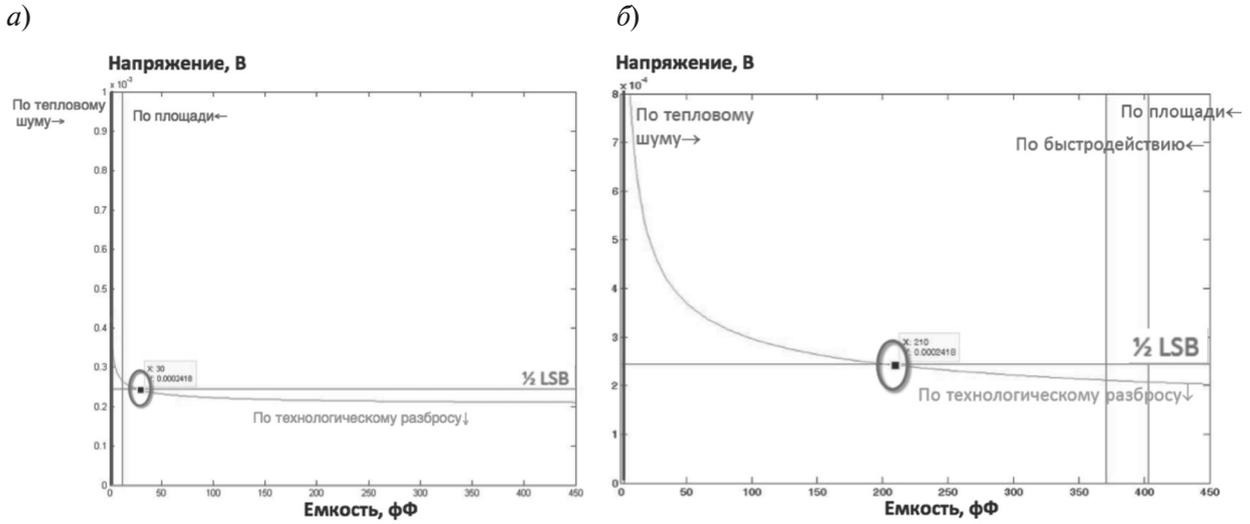


Рис. 2. Результаты вычислений емкости единичного конденсатора ЦАП:
а – для двоично-взвешенного ЦАП; б – для двухступенчатого ЦАП

ство единичных конденсаторов массива с младшими разрядами составляет 64, а массива со старшими – 63. Для данной архитектуры емкость единичного конденсатора с обкладками из поликремния целесообразно выбрать больше 210 фФ – пересечение зависимости отклонения выходной характеристики ЦАП от емкости единичного конденсатора с учетом технологического разброса (рис. 2 б). Для 8-угольного кон-

денсатора для обеспечения целых значений его сторон была выбрана емкость единичного и мостового конденсатора равной 256 фФ.

Результаты моделирования в программной среде Cadence Virtuoso показали, что дифференциальная и интегральная нелинейность INL и DNL блока АЦП меньше 2 LSB (см. рис. 3 и 4). Результаты моделирования блока АЦП методом Монте-Карло

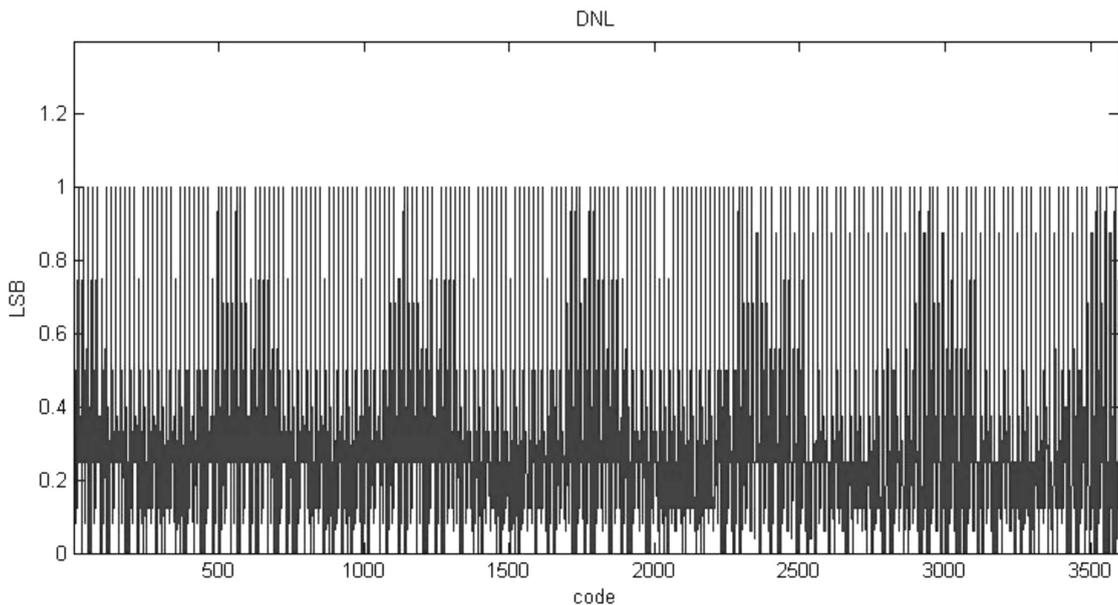


Рис. 3. Зависимость DNL от значений выходного кода

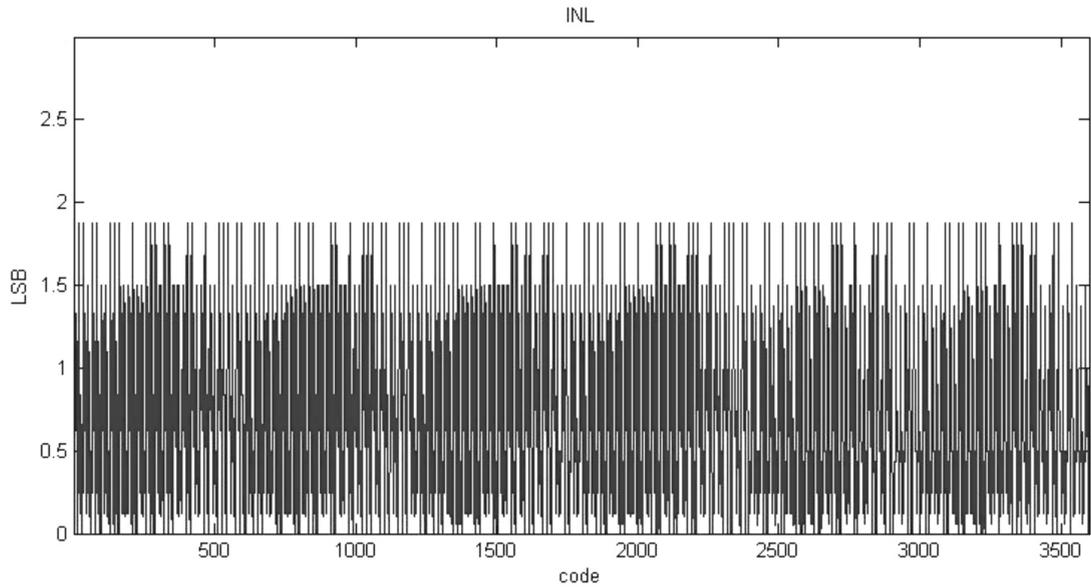


Рис. 4. Зависимость INL от значений выходного кода

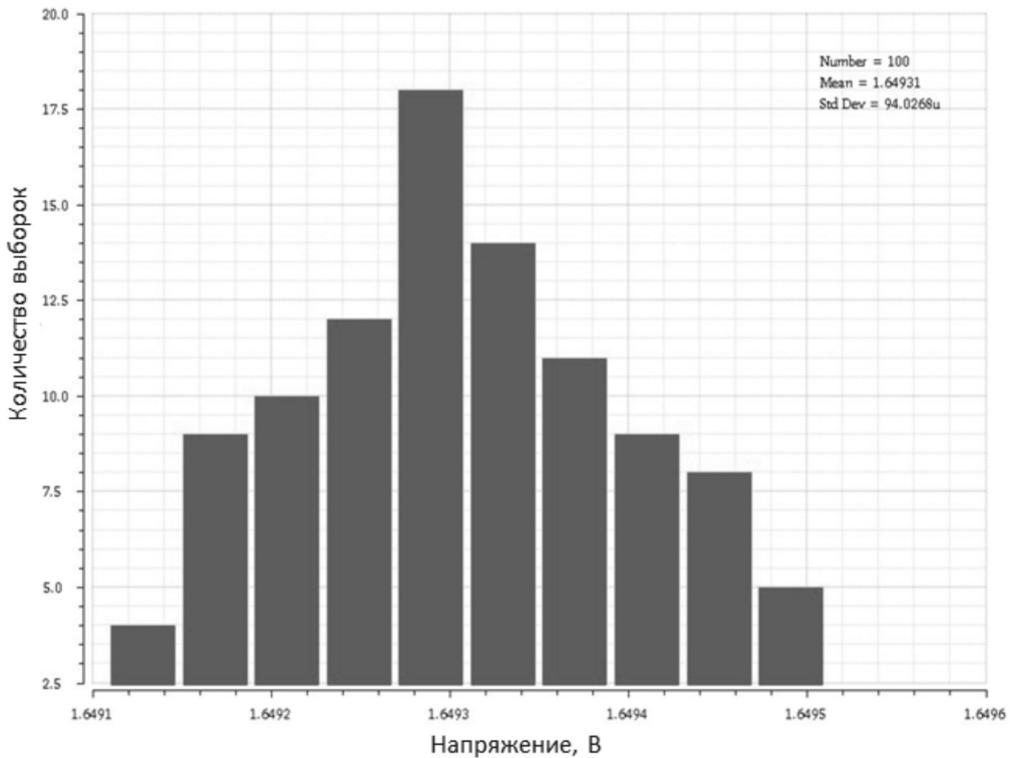


Рис. 5. Результаты моделирования методом Монте-Карло выходной характеристики массива конденсаторов ЦАП
 $v_{ref_p} = 2,65$, $v_{ref_n} = 0,65$, $sw = 10\ 00000\ 00000$

показали, что максимальная ошибка выходной характеристики сегментированно-

го ЦАП (при переходе из 01 11111 11111 в 10 00000 00000, когда переключаются

все конденсаторы ЦАП), связанная с технологическим разбросом, меньше 2 LSB (см. рис. 5). В результате анализа результатов сделан вывод, что блок АЦП с выбранной архитектурой ЦАП удовлетворяет поставленным требованиям.

Представлена методика выбора архитектуры емкостного ЦАП, входящего в состав АЦП последовательного приближения интегральной схемы для микромеханического акселерометра. Методика основана на анализе технических требований, технологических и топологических ограничений и оценке рассчитанных параметров ЦАП. Методика выбора архитектуры емкостного ЦАП в составе АЦП использовалась при

проектировании АЦП последовательного приближения для интегральной схемы микромеханического акселерометра с компенсацией по изменению заряда с диапазоном измерений ± 10 g и порогом чувствительности в 0,02 g для полосы пропускания 300 Гц. Приведенные результаты моделирования АЦП подтверждают, что АЦП последовательного приближения с выбранной архитектурой ЦАП удовлетворяет поставленным требованиям. Предлагаемая методика может использоваться на раннем этапе проектирования для выбора архитектуры ЦАП аналого-цифрового преобразователя последовательного приближения.

Работа проведена при поддержке гранта РФФИ № 16-08-00640.

СПИСОК ЛИТЕРАТУРЫ

1. **Хабаров П.С. и др.** Проектирование сложнотехнологических блоков смешанного сигнала на основе субмикронной технологии на примере микросхемы видеodeкодера. Ч. 1. Конструкция и топология микросхемы // Вестник СибГУТИ. 2011. № 2. С. 23–34.
2. **Kester W.** Which ADC Architecture Is Right for Your Application? [Электронный ресурс]// URL: <http://www.analog.com/en/analog-dialogue/articles/the-right-adc-architecture.html> (Дата обращения: 01.10.2016).
3. **Boina S., Paily R.** Comparison of DAC architectures of SAR ADCs // 4th Internat. Conf. on Advances in Recent Technologies in Communication and Computing (ARTCom2012). Bangalore, India, 2012. Pp. 38–43.
4. **Zheng Y., Wang Z., Yang S., Li Q., Xiang L.** A Novel Two-Split Capacitor Array with Linearity Analysis for High-Resolution SAR ADCs // Internat. J. of Electronics and Electrical Engineering. 2015. Vol. 3. No. 3.
5. **McCreary J.L., Gray P.R.** All-MOS Charge Redistribution Analog-to-Digital Conversion Techniques. Part I // IEEE J. of Solid-State Circuits. 1975. Vol. 10. No. 6. Pp. 371–379.
6. **Suarez R.E., Gray P.R., Hodges D.A.** All-MOS charge-redistribution analog-to-digital conversion techniques. Part II // IEEE J. of Solid-State Circuits. 1975. Vol. 10. No. 6. Pp. 379–385.
7. **Ginsburg B.P., Chandrakasan A.P.** 500-MS/s 5-bit ADC in 65-nm CMOS With Split Capacitor Array DAC // IEEE J. of Solid-State Circuits. 2007. Vol. 42. No. 4. Pp. 739–747.
8. **Son W.L., Majid H.A., Musa R.** High-Resolution 12-Bit Segmented Capacitor DAC in Successive Approximation ADC // Internat. J. of Electrical, Computer, Energetic, Electronic and Communication Engineering. 2012. Vol. 6. No. 12.
9. **Pei Xiaomin, Zhang Jun.** Design and Optimization on the Interior DAC of SAR ADC // Internat. Conf. on Information Management and Engineering (ICIME 2011). Singapore. 2012. Vol. 52.
10. **Cong L., Black W.C.** A New Charge Redistribution D/A and A/D Converter Technique—Pseudo C2C Ladder // Proc. 43rd IEEE Midwest Symp. on Circuits and Systems. 2000.
11. **Baker R.J.** CMOS Circuit Design, Layout, and Simulation. Wiley-IEEE Press, 2010. 1208 p.
12. **Saberi M., Lotfi R., Mafinezhad K., Wouter A.** Analysis of Power Consumption and Linearity in Capacitive Digital-to-Analog Converters Used in Successive Approximation ADCs // IEEE Transactions on Circuits and Systems I: Regular Papers. 2011. Vol. 58. No. 8. Pp. 1736–1748.
13. **Lin Y., Zanicopoulos Z., Doris K., Hegt H.** A power-optimized High-Speed and High-Resolution pipeline ADC with a Parallel Sampling First Stage for Broadband Multi-carrier Systems. 2014.
14. **Xicai Yue.** Determining the reliable minimum unit capacitance for the DAC capacitor array of SAR ADCs // Microelectronics Journal. 2013. Vol. 44. No. 6. Pp. 473–478.
15. **Zhang W.P., Tong X.** Noise Modeling and Analysis of SAR ADCs // IEEE Transactions on Very Large Scale Integration (VLSI) Systems. 2015. Vol. 23. Iss. 12.

REFERENCES

1. **Khabarov P.S., et al.** Projektirovaniye slozhnofunktsionalnykh blokov smeshannogo signala na osnove submikronnoy tekhnologii na primere mikroskhemy videodekoda. Chast 1. Konstruktsiya i topologiya mikroskhemy. [Mixed-Signal Video Encoder Integrated Circuit Design Based on Sub-Micron Technology. Part 1. Device Design and Layout]. *Vestnik SibGUTI [The Herald of SibSUTIS]*, 2011, No. 2, Pp. 23–34. (rus)
2. **Kester W.** *Which ADC Architecture Is Right for Your Application?* Available: <http://www.analog.com/en/analog-dialogue/articles/the-right-adc-architecture.html> (Accessed: 01.10.2016).
3. **Boina S., Paily R.** Comparison of DAC architectures of SAR ADCs. *4th International Conference on Advances in Recent Technologies in Communication and Computing (ARTCom2012)*, Bangalore, India, 2012, Pp. 38–43.
4. **Zheng Y., Wang Z., Yang S., Li Q., Xiang L.** A Novel Two-Split Capacitor Array with Linearity Analysis for High-Resolution SAR ADCs. *International Journal of Electronics and Electrical Engineering*, 2015, Vol. 3, No. 3.
5. **McCreary J.L., Gray P.R.** All-MOS Charge Redistribution Analog-to-Digital Conversion Techniques. Part I. *IEEE Journal of Solid-State Circuits*, 1975, Vol. 10, No. 6, Pp. 371–379.
6. **Suarez R.E., Gray P.R., Hodges D.A.** All-MOS charge-redistribution analog-to-digital conversion techniques. Part II. *IEEE Journal of Solid-State Circuits*, 1975, Vol. 10, No. 6, Pp. 379–385.
7. **Ginsburg B.P., Chandrakasan A.P.** 500-MS/s 5-bit ADC in 65-nm CMOS With Split Capacitor Array DAC. *IEEE Journal of Solid-State Circuits*, 2007, Vol. 42, No. 4, Pp. 739–747.
8. **Son W.L., Majid H.A., Musa R.** High-Resolution 12-Bit Segmented Capacitor DAC in Successive Approximation ADC. *International Journal of Electrical, Computer, Energetic, Electronic and Communication Engineering*, 2012, Vol. 6, No. 12.
9. **Pei Xiaomin, Zhang Jun.** Design and Optimization on the Interior DAC of SAR ADC. *International Conference on Information Management and Engineering (ICIME 2011)*, Singapore, 2012, Vol. 52.
10. **Cong L., Black W.C.** A New Charge Redistribution D/A and A/D Converter Technique—Pseudo C2C Ladder. *Proc. 43rd IEEE Midwest Symposium on Circuits and Systems*, 2000.
11. **Baker R.J.** *CMOS Circuit Design, Layout, and Simulation*. Wiley-IEEE Press, 2010, 1208 p.
12. **Saberi M., Lotfi R., Mafinezhad K., Wouter A.** Analysis of Power Consumption and Linearity in Capacitive Digital-to-Analog Converters Used in Successive Approximation ADCs. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2011, Vol. 58, No. 8, Pp. 1736–1748.
13. **Lin Y., Zanakopoulos Z., Doris K., Hegt H.** *A power-optimized High-Speed and High-Resolution pipeline ADC with a Parallel Sampling First Stage for Broadband Multi-carrier Systems*, 2014.
14. **Xicai Yue.** Determining the reliable minimum unit capacitance for the DAC capacitor array of SAR ADCs. *Microelectronics Journal*, 2013, Vol. 44, No. 6, Pp. 473–478.
15. **Zhang W.P., Tong X.** Noise Modeling and Analysis of SAR ADCs. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2015, Vol. 23, Iss. 12.

АНДРЯКОВ Юрий Андреевич — младший научный сотрудник «ЦНИИ «ЭЛЕКТРОПРИБОР».
197046, Россия, Санкт-Петербург, ул. Малая Посадская, д. 30.
E-mail: andryakov.ya@yandex.ru

ANDRYAKOV Yury A. *Concern CSRI Elektropribor, JSC.*
197046, Malaya Posadskaya Str. 30, St. Petersburg, Russia.
E-mail: andryakov.ya@yandex.ru

АНИКИНА Анна Александровна — младший научный сотрудник «ЦНИИ «ЭЛЕКТРОПРИБОР».
197046, Россия, Санкт-Петербург, ул. Малая Посадская, д. 30.
E-mail: anna.a.anikina@gmail.com

ANIKINA Anna A. *Concern CSRI Elektropribor, JSC.*
197046, Malaya Posadskaya Str. 30, St. Petersburg, Russia.
E-mail: anna.a.anikina@gmail.com

БЕЛЯЕВ Яков Валерьевич – начальник НТЦ «Дизайн-центр», «ЦНИИ «ЭЛЕКТРОПРИБОР»,
кандидат технических наук.

197046, Россия, Санкт-Петербург, ул. Малая Посадская, д. 30.

E-mail: designcenter.spb@mail.ru

BELYAEV Yakov V. Concern CSRI Elektropribor, JSC.

197046, Malaya Posadskaya Str. 30, St. Petersburg, Russia.

E-mail: designcenter.spb@mail.ru