

УДК 621.376.9

*М.М. Пилипко*

**ДЕЛЬТА-СИГМА МОДУЛЯТОР АНАЛОГО-ЦИФРОВОГО  
ПРЕОБРАЗОВАТЕЛЯ С ПРЕОБРАЗОВАНИЕМ ВО ВРЕМЕНИ**

*М.М. Piliipko*

**TIME-MODE DELTA-SIGMA MODULATOR  
FOR AN ANALOG-TO-DIGITAL CONVERTER**

Рассмотрен принцип аналого-цифрового преобразования во временной области и устройства, реализующие данный принцип. Предложена дифференциальная структура дельта-сигма модулятора с преобразованием сигналов во времени. Работоспособность устройств подтверждена результатами схемотехнического моделирования.

ПРЕОБРАЗОВАТЕЛЬ НАПРЯЖЕНИЯ ВО ВРЕМЕННОЙ ИНТЕРВАЛ. ДЕЛЬТА-СИГМА МОДУЛЯТОР. ЦИФРОВЫЕ УСТРОЙСТВА.

Principle of time-mode analog-to-digital conversion is considered. Circuits utilizing this principle are presented. A differential structure of the time-mode delta-sigma modulator is proposed. Operability of the presented circuits has been confirmed by transistor-level simulation.

VOLTAGE-TO-TIME CONVERTER. DELTA-SIGMA MODULATOR. DIGITAL CIRCUITS.

Движущая сила развития МОП технологий – рост производства и повсеместное распространение цифровых устройств. В связи с этим оптимизация технологических процессов направлена, прежде всего, на улучшение характеристик цифровых схем: увеличение скорости переключения транзисторов, уменьшение напряжения питания и геометрических размеров элементов. Указанные изменения усложняют разработку аналоговых и аналого-цифровых устройств. В частности, следствием уменьшения толщины подзатворного диэлектрика является увеличение токов утечки через затвор. Снижение напряжения питания схем вынуждает использовать транзисторы в неоптимальных рабочих точках. Это ограничивает допустимый размах входного сигнала и вызывает проблемы с линейностью аналоговых схем.

Для обхода указанных проблем при разработке аналого-цифровых преобразователей (АЦП) ряд зарубежных авторов предлагает перейти от традиционного преобразования в области напряжений к преобразованию сигналов во временной области [1–3]. Принцип аналого-цифрового преобразования на основе обработки сигналов во временной области реализуется путем каскадного соединения нескольких блоков. Поскольку информационным сигналом АЦП, как правило, является входное напряжение, первый блок схемы представляет собой преобразователь напряжения во временной интервал. Следующий блок служит для необходимых операций с сигналом во временной области. Затем время-цифровой преобразователь формирует выходной цифровой код АЦП.

На основе данного подхода можно по-

строить АЦП различных типов. В мобильных системах телекоммуникаций нашли применение следующие АЦП с использованием дельта-сигма модуляции [4-5]. Тактовая частота дельта-сигма модулятора существенно превышает частоту Найквиста, что позволяет с высокой точностью отследить изменение амплитуды входного сигнала. Основу дельта-сигма модулятора составляют интеграторы, которые обычно имеют в своем составе транскондуктивный усилитель [6] или операционный усилитель [5, 7]. Интегратор накапливает разности между входным сигналом и сигналом обратной связи, а компаратор определяет знак сигнала на выходе интегратора на каждом такте. Во временной области аналогичным образом можно сравнивать моменты прихода фронта для входного и опорного сигналов.

В данной статье рассматривается принцип аналого-цифрового преобразования во временной области и устройства, реализующие данный принцип.

### Элемент задержки, управляемый напряжением

Для обработки входного сигнала во временной области необходимо сопоставить уровню напряжения на входе определенный временной интервал – т. н. *время-разностную переменную* [3]. Для этой цели служит элемент задержки, управляемый напряжением (ЭЗУН). Фронт сигнала, поступающего на такой элемент, задерживается на время, пропорциональное напряжению на управляющем входе.

На рис. 1 а показано условное обозначение элемента задержки, а на рис. 1 б – временная диаграмма. Фронт сигнала  $\Phi_I$  поступает на вход элемента в момент времени  $t_I$  и задерживается до момента  $t_O$ , определяемого входным напряжением  $V_{IN}$ . Выражение для время-разностной переменной имеет вид  $\Delta T_{O,I} = G_\Phi V_{IN} + b_\Phi$ , где  $G_\Phi$  – крутизна характеристики преобразования, а  $b_\Phi$  – постоянная аддитивная задержка.

Наиболее широко известна схема ЭЗУН на основе инвертора с ограничением тока (рис. 1 в) [3, 8]. Принцип работы данной схемы следующий. При низком уровне входного сигнала  $\Phi_I$  транзистор М1 открыт, а конденсатор С заряжен до напряжения питания. На выходе  $\Phi_O$  сигнал низкого уровня. По фронту входного сигнала закрывается транзистор М1 и открывается транзистор М2, конденсатор разряжается через транзисторы М3 и М4, причем скорость разряда определяется напряжением  $V_{IN}$ . Выходной инвертор (М5-М6) играет роль компаратора и переключается в тот момент, когда напряжение на конденсаторе становится меньше порогового напряжения инвертора. Таким образом, момент появления фронта сигнала на выходе  $\Phi_O$  линейно зависит от напряжения  $V_{IN}$ . По спаду входного сигнала транзистор М2 закрывается, а транзистор М1 открывается. Скорость заряда конденсатора через транзистор М1 не зависит от напряжения  $V_{IN}$ .

На рис. 1 г приведен вид передаточной характеристики ЭЗУН, построенной по результатам моделирования схемы на основе

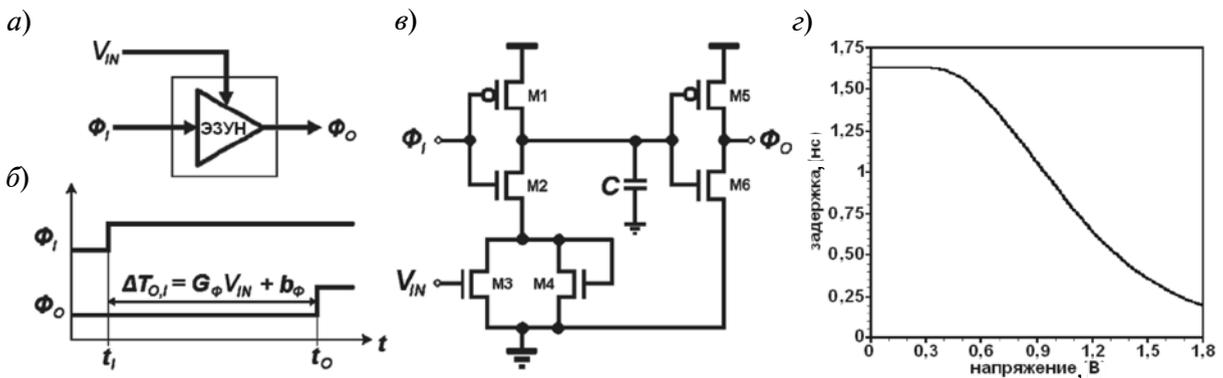


Рис. 1. Элемент задержки, управляемый напряжением:

а – обозначение; б – временная диаграмма; в – схема; г – передаточная характеристика

стандартной 0,18 мкм МОП технологии с напряжением питания 1,8 В. В диапазоне входных напряжений 0,7–1,1 В нелинейность характеристики не превышает 0,5 %. Крутизна характеристики составляет  $G_{\Phi} = 710$  пс/В. Аддитивная часть времени задержки соответствует задержке ЭЗУН при максимальном управляющем напряжении (в данном случае 1,1 В) и равна  $b_{\Phi} = 740$  пс. Временные характеристики и потребляемая мощность элемента задержки зависят от величины конденсатора  $C$  и геометрических размеров транзистора МЗ. Если конденсатор  $C$  не использовать, работоспособность ЭЗУН сохранится благодаря наличию паразитных емкостей транзисторов.

### Преобразователь напряжения и интеграторы на основе элемента задержки

В обычном аналого-цифровом преобразователе происходит сравнение входного напряжения с некоторым опорным уровнем (уровнем аналоговой земли). Аналогичное сравнение возможно и во временной области. Для этого импульсный сигнал  $\Phi_I$  подается параллельно на два ЭЗУН. На управляющий вход одного из них поступает входное напряжение  $V_{IN}$ , а на управляющий вход другого – опорное напряжение  $V_{REF}$  (рис. 2 а). Полученная схема является преобразователем напряжения во временной интервал. Временная диаграмма работы данной схемы приведена на рис. 2 б. Моменты времени появления фронтов сигналов на выходах  $\Phi_O$  и  $\Phi_{REF}$  определяются следующими выражениями [3]:

$$t_O = t_I + G_{\Phi} V_{IN} + b_{\Phi},$$

$$t_{REF} = t_I + G_{\Phi} V_{REF} + b_{\Phi},$$

а интервал времени между ними равен  $\Delta T_O = t_O - t_{REF} = G_{\Phi} (V_{IN} - V_{REF})$ .

Если выразить переменную часть входного напряжения как  $v_{in} = V_{IN} - V_{REF}$ , то получим  $\Delta T_O = G_{\Phi} v_{in}$ . Таким образом, отклонение время-разностной переменной от опорного значения прямо пропорционально отклонению входного напряжения от опорного уровня. Отметим, что различие параметров элементов задержки может приводить к таким ошибкам преобразования,

как сдвиг относительно нуля и изменение крутизны характеристики.

Подключив к выходу ЭЗУН инвертор, а выход инвертора – ко входу ЭЗУН, можно получить генератор, управляемый напряжением [9]. Сравнение моментов прихода фронта в сигнальном и опорном генераторах позволяет реализовать операцию интегрирования во временной области (рис. 2 в). Поскольку аддитивная задержка  $b_{\Phi}$ , а также время задержки ЭЗУН по спаду и время задержки инвертора постоянны, то изменение время-разностной переменной для  $n$ -го такта можно записать как

$$\Delta T_O(n) = \Delta T_O(n-1) + G_{\Phi} v_{in}(n-1).$$

Временная диаграмма для первых трех тактов интегратора приведена на рис. 2 г. Начальное значение  $\Delta T_O(0)$  считается равным нулю. Последующие значения вычисляются по приведенной рекуррентной формуле. Следует заметить, что в данной структуре отсутствует внешний тактовый генератор. Частота опорного генератора определяется размерами транзисторов и уровнем опорного напряжения  $V_{REF}$ .

Интегратор с двумя или несколькими входами может быть построен путем включения соответствующего числа ЭЗУН в кольцевые генераторы. На рис. 2 д показан интегратор с двумя входными сигналами  $V_{IN,1}(n)$  и  $V_{IN,2}(n)$ . При этом в опорном генераторе также используются два элемента задержки, управляемые сигналом  $V_{REF}$ . Разностное уравнение для интегратора в этом случае имеет вид:

$$\Delta T_O(n) = \Delta T_O(n-1) + G_{\Phi} [v_{in,1}(n-1) + v_{in,2}(n-1)].$$

Применительно к аналого-цифровому преобразованию на основе дельта-сигма модуляции желательным является каскадное соединение интеграторов. Однако в данном случае это представляет определенную трудность, поскольку выходным сигналом интегратора является временной интервал, а входным – напряжение. Поэтому необходим промежуточный блок для обратного преобразования интервала времени в уровень напряжения.

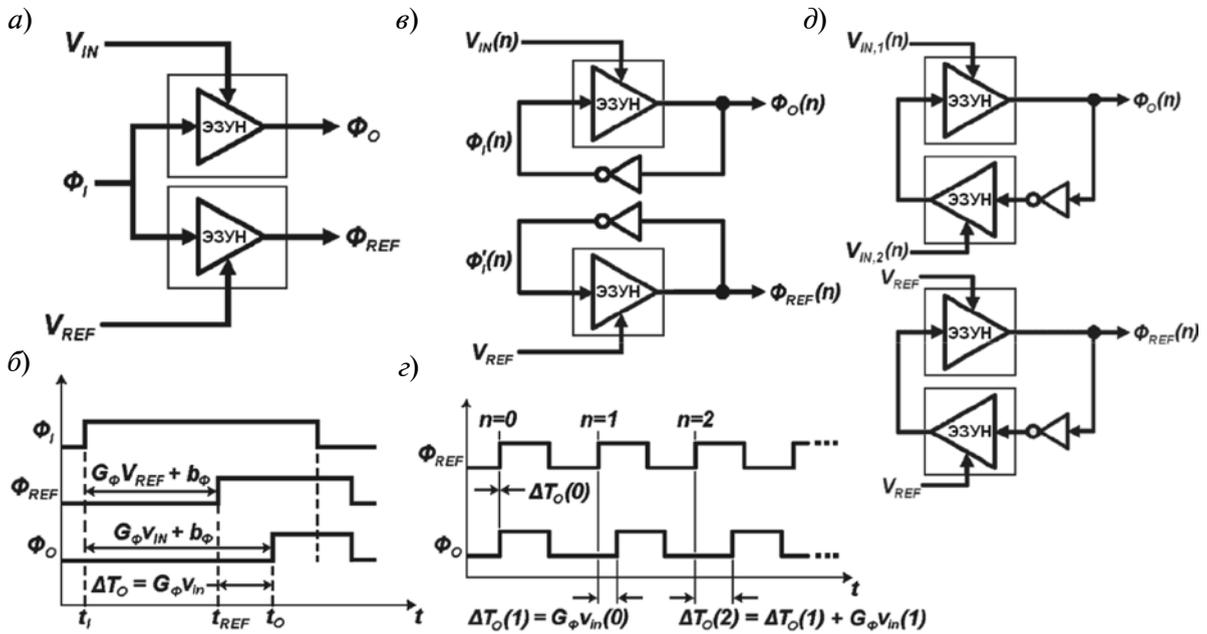


Рис. 2. Преобразователь напряжения во временной интервал и интеграторы время-разностных переменных

Последним этапом аналого-цифрового преобразования является перевод время-разностной переменной в цифровой вид. Знак переменной можно определить при помощи триггера задержки (D-триггера). Если фронт сигнала  $\Phi_O$  опережает фронт тактового сигнала  $\Phi_{REF}$ , то на выходе триггера будет сформирован сигнал логической единицы, в противном случае на выходе будет логический ноль. Устройство квантования с количеством уровней сравнения два и более [10] может быть организовано с помощью соответствующего количества элементов задержки и триггеров.

#### Дельта-сигма модулятор с преобразованием сигналов во времени

Дельта-сигма модулятор первого порядка состоит из интегратора, компаратора и цепи обратной связи с цифро-аналоговым преобразователем (ЦАП). В предыдущем разделе рассмотрены интегратор с двумя входами и компаратор сигналов во временной области. Если элементы задержки в интеграторе могут работать в полном диапазоне напряжений, то ЦАП в обратной связи не нужен, поскольку может использоваться непосредственно выходной сигнал

D-триггера. В противном случае следует применить одноразрядный ЦАП на основе двух аналоговых ключей. Как видно, все каскады дельта-сигма модулятора состоят из цифровых компонентов, следовательно, эта система обеспечивает все преимущества цифровой КМОП технологии. Аналого-цифровой преобразователь будет работать с высокой тактовой частотой, потреблять малую мощность и занимать небольшую площадь на кристалле. Более того, следует ожидать сохранения этих преимуществ с развитием цифровой КМОП технологии.

На рис. 3 а показана структура дельта-сигма модулятора с преобразованием во времени, основанная на двух кольцевых генераторах и D-триггере [3]. На элементы задержки одного генератора подаются входной аналоговый сигнал и инверсный выходной сигнал, на элементы задержки другого – опорное напряжение. Данный генератор формирует опорную частоту интегратора и тактирует D-триггер. Цель работы системы состоит в подстройке частоты сигнального генератора к частоте опорного генератора при помощи импульсов выходного кода. Разностное уравнение, описывающее работу интегратора, имеет вид

$$\Delta T_o(n) = \Delta T_o(n-1) + G_\phi [v_{in}(n-1) - v_o(n-1)],$$

т. е. приращение время-разностной переменной на текущем такте равно разности входного и выходного сигналов на предыдущем такте, умноженной на крутизну характеристики ЭЗУН [3]. Сигнал ошибки квантования, порождаемый компаратором в виде D-триггера, определяется отличием время-разностной переменной от выходного сигнала, умноженного на крутизну ЭЗУН:

$$\Delta T_E(n) = G_\phi v_o(n) - \Delta T_o(n).$$

Подставив данную модель сигнала ошибки в выражение для интегратора, можно получить разностное уравнение для дельта-сигма модулятора первого порядка:

$$v_o(n) = v_{in}(n-1) + \frac{1}{G_\phi} [\Delta T_E(n) - \Delta T_E(n-1)].$$

Для обеспечения устойчивости к синфазным помехам аналого-цифровой преобразователь должен иметь дифференциальную структуру. В работе [3] предложено подавать на элементы задержки опорного кольцевого генератора (рис. 3 а) инверсное входное напряжение и прямой выход-

ной сигнал. Сравнение сигналов при помощи D-триггера в этом случае позволяет устранить воздействие синфазных помех и четные гармоники, обусловленные нелинейностью элементов задержки. Однако недостатком данного подхода является отсутствие синхронизации: частота опорного генератора изменяется, поэтому импульсы, поступающие на выход и в цепь обратной связи, непостоянны по длительности. Выходной сигнал такого модулятора перед подачей на устройства цифровой обработки требует преобразования в синхронный код, что приводит к увеличению уровня шума и сужению динамического диапазона.

Предлагается дифференциальная структура (рис. 3 б), лишенная указанного недостатка. В структуре используются два кольцевых генератора и два D-триггера. На управляющие входы каждого генератора подается один из входных сигналов (прямой  $V_{IN+}$  или инверсный  $V_{IN-}$ ) и инверсный выходной сигнал соответствующего D-триггера. Сигнал синхронизации  $CLK$  поступает на оба D-триггера от внешнего генератора либо от третьего кольцевого генератора, на управляющие входы которого подано постоянное напряжение  $V_{REF}$

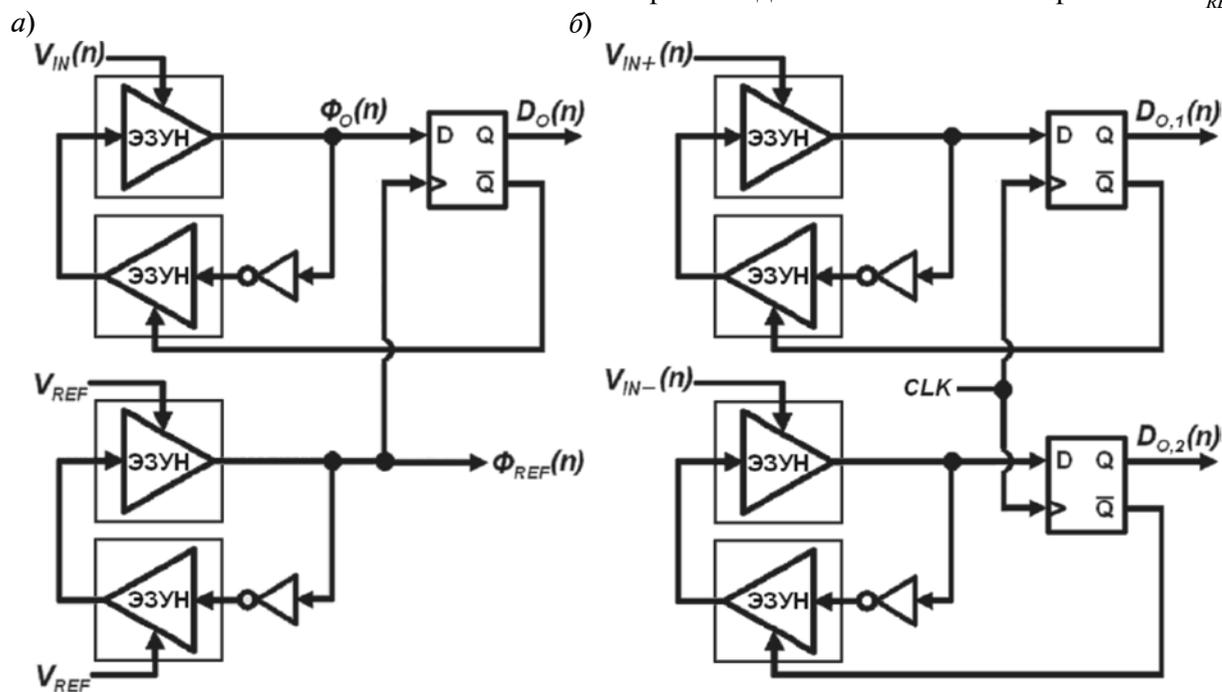


Рис. 3. Структуры дельта-сигма модулятора

Разность выходных кодов триггеров дает двухразрядный код, в котором отсутствуют входные синфазные составляющие и четные гармоники полезного сигнала.

Для проверки работоспособности предложенной структуры собрана схема с использованием стандартной 0,18 мкм МОП технологии с напряжением питания 1,8 В. Проведено моделирование дельта-сигма модулятора в среде Cadence Virtuoso. При тактовой частоте 280 МГц и коэффициенте передискретизации 128 отношение сигнал/шум составило 58 дБ, средняя потребляемая мощность не превышает 1,1 мВт.

В статье изложен принцип действия АЦП с преобразованием сигналов во временной

области. Рассмотрены основные устройства, необходимые для построения такого АЦП: элемент задержки, управляемый напряжением; интегратор время-разностных сигналов; компаратор. Приведена структура дельта-сигма модулятора первого порядка с преобразованием во времени. Показан недостаток известной дифференциальной структуры модулятора – асинхронность, предложена синхронная структура. Моделирование схемы для стандартной 0,18 мкм МОП технологии показало, что дифференциальный дельта-сигма модулятор первого порядка обеспечивает 9–10 разрядов разрешающей способности для сигналов с частотами до 1,1 МГц при средней потребляемой мощности 1,1 мВт.

#### СПИСОК ЛИТЕРАТУРЫ

1. **Yang, H.Y.** A time-based energy-efficient analog-to-digital converter [Text] / H.Y. Yang, R. Sarpeshkar // IEEE J. Solid-State Circuits. – 2005. – Vol. 40. – № 8. – P. 1590–1601.
2. **Wismar, U.** 0.2 V 7.5 uW 20 kHz sigma-delta modulator with 69 dB SNR in 90 nm CMOS [Text] / U. Wismar, D. Wisland, P. Andreani / Proc. Eur. Solid-State Circuits Conf. – 2007. – P. 206–209.
3. **Taillefer, C.S.** Delta-Sigma A/D Conversion Via Time-Mode Signal Processing [Text] / C.S. Taillefer, G.W. Roberts // IEEE Trans. Circuits and Systems I. – 2009. – Vol. 56. – № 9. – P. 1908–1920.
4. **Коротков, А.С.** Аналого-цифровые преобразователи на основе дельта-сигма модуляторов [Текст] / А.С. Коротков, М.В. Теленков // Зарубежная радиоэлектроника. – 2002. – № 12. – С. 53–72.
5. **Коротков, А.С.** Дельта-сигма модулятор с частотой дискретизации 50 МГц на основе 0,18 мкм КМОП технологии [Текст] / А.С. Коротков, М.М. Пилипко, Д.В. Морозов, Й. Хауэр // Микроэлектроника. – 2010. – Т. 39. – № 3. – С. 230–240.
6. **Коротков, А.С.** Схемотехника современных интегральных усилителей [Текст] / А.С. Коротков, Д.В. Морозов // Зарубежная радио-

электроника. – 1998. – № 6. – С. 41–75.

7. **Морозов, Д.В.** Дельта-сигма модулятор аналого-цифрового преобразователя с троичным кодированием данных [Текст] / Д.В. Морозов, М.М. Пилипко, А.С. Коротков // Микроэлектроника. – 2011. – Т. 40. – № 1. – С. 64–75.

8. **Ljuslin, C.** An integrated 16-channel CMOS time to digital converter [Text] / C. Ljuslin, J. Christiansen, A. Marchioro [et al.] // IEEE Trans. Nuclear Science. – 1994. – Vol. 41. – № 4. – Part 1–2. – P. 1104–1108.

9. **Балашов, Е.В.** Микро- и наноэлектронные аналоговые и цифровые устройства систем связи [Текст] / Е.В. Балашов, А.С. Коротков, Д.В. Морозов, М.М. Пилипко, И.М. Пятак, Р.И. Романов, И.А. Румянцев // Всерос. науч.-техн. конф. Проблемы разработки перспективных микро- и наноэлектронных систем (МЭС). Сб. трудов. – 2012. – № 1. – С. 9–20.

10. **Пятак, И.М.** Схемное решение блока компараторов двухразрядной ячейки конвейерного АЦП [Текст] / И.М. Пятак, Д.В. Морозов, М.М. Пилипко // Научно-технические ведомости СПбГПУ. Информатика. Телекоммуникации. Управление. – СПб.: Изд-во Политехн. ун-та, 2011. – № 5 (133). – С. 49–52.

#### REFERENCES

1. **Yang H.Y., Sarpeshkar R.** A time-based energy-efficient analog-to-digital converter / IEEE J. Solid-State Circuits. – 2005. – Vol. 40. – № 8. – P. 1590–1601.
2. **Wismar U., Wisland D., Andreani P.** 0.2 V 7.5 uW 20 kHz sigma-delta modulator with 69 dB SNR

in 90 nm CMOS / Proc. Eur. Solid-State Circuits Conf. – 2007. – P. 206–209.

3. **Taillefer C.S., Roberts G.W.** Delta-Sigma A/D Conversion Via Time-Mode Signal Processing / IEEE Trans. Circuits and Systems I. – 2009. – Vol. 56. – № 9. – P. 1908–1920.

4. **Korotkov A.S., Telenkov M.V.** Analogo-tsifrovye preobrazovateli na osnove del'ta-sigma modulatorov / Zarubezhnaia radioelektronika. – 2002. – № 12. – S. 53–72. (rus)
5. **Korotkov A.S., Pilipko M.M., Morozov D.V., Khauer I.** Del'ta-sigma modulator s chastotoi diskretizatsii 50 MGts na osnove 0,18 mkm KMOP tekhnologii / Mikroelektronika. – 2010. – T. 39. – № 3. – S. 230–240. (rus)
6. **Korotkov A.S., Morozov D.V.** Skhemotekhnika sovremennykh integral'nykh usilitelei / Zarubezhnaia radioelektronika. – 1998. – № 6. – S. 41–75. (rus)
7. **Morozov D.V., Pilipko M.M., Korotkov A.S.** Del'ta-sigma modulator analogo-tsifrovogo preobrazovatelia s troichnym kodirovaniem dannykh / Mikroelektronika. – 2011. – T. 40. – № 1. – S. 64–75. (rus)
8. **Ljuslin C., Christiansen J., Marchioro A., Klingsheim O.** An integrated 16-channel CMOS time to digital converter / IEEE Trans. Nuclear Science. – 1994. – Vol. 41. – № 4. – Part 1–2. – P. 1104–1108.
9. **Balashov E.V., Korotkov A.S., Morozov D.V., Pilipko M.M., Piatak I.M., Romanov R.I., Rumiantsev I.A.** Mikro- i nanoelektronnye analogovye i tsifrovye ustroistva sistem svyazi / Vseros. nauch.-tekhn. konf. Problemy razrabotki perspektivnykh mikro- i nanoelektronnykh sistem (MES). Sb. tr. – 2012. – № 1. – S. 9–20. (rus)
10. **Piatak I.M., Morozov D.V., Pilipko M.M.** Skhemnoe reshenie bloka komparatorov dvukhradnoi iacheiki konveirnogo ATsP / Nauchno-tekhnicheskie vedomosti SPbGPU. Informatika. Telekommunikatsii. Upravlenie. – St.-Petersburg: Izd-vo Politehn. un-ta, 2011. – № 5 (133). – S. 49–52. (rus)

---

**ПИЛИПКО Михаил Михайлович** – доцент кафедры интегральной электроники Санкт-Петербургского государственного политехнического университета, кандидат технических наук.

195251, Россия, Санкт-Петербург, ул. Политехническая, д. 29.

E-mail: m\_m\_pilipko@rambler.ru

**PILIPKO, Mikhail M.** St. Petersburg State Polytechnical University.

195251, Politekhnikeskaya Str. 29, St.-Petersburg, Russia.

E-mail: m\_m\_pilipko@rambler.ru