

УДК 621.396.6

Д.В. Морозов, Д.О. Буданов
 Санкт-Петербург, Россия

ШИФРАТОР ТЕРМОМЕТРИЧЕСКОГО КОДА В ПРЯМОЙ ДВОИЧНЫЙ КОД

D.V. Morozov, D.O. Budanov
 St.-Petersburg, Russia

ENCODER OF THERMOMETRIC CODE TO STRAIGHT BINARY CODE

Предложено схемотехническое решение восьмиразрядного шифратора термометрического кода в прямой двоичный код. Проведенное компьютерное моделирование схем и сравнение с известными аналогами показало выигрыш по потребляемой мощности.

ШИФРАТОР. ТЕРМОМЕТРИЧЕСКИЙ КОД. ПРЯМОЙ ДВОИЧНЫЙ КОД. МОДЕЛИРОВАНИЕ.

Design of 8-bit encoder of termometrical code to direct binary code is presented. Power consumption is decreased that is shown by computer simulation results and comparison with other designs.

ENCODER. TERMOMETRICAL CODE. DIRECT BINARY CODE. COMPUTER SIMULATION.

Постановка задачи

Неотъемлемой частью любой системы, выполняющей цифровую обработку сигналов, служат аналоговые устройства входного интерфейса. Одним из обязательных блоков интерфейсной части является аналого-цифровой преобразователь (АЦП). Скорость передачи информации в современных системах телекоммуникаций представляет критичный параметр. При этом наибольшим быстродействием отличаются АЦП параллельного преобразования (параллельные АЦП) [1–3]. Сопряженная часть любого параллельного АЦП – преобразователь кода с выходов массива компараторов в прямой двоичный код [1–7]. Строго говоря, такое устройство называется *кодпреобразователем* [1]. Однако нередко в отечественных [2, 3] и зарубежных [4–7] публикациях используют термин «шифратор» термометрического кода. В данном коде по аналогии со шкалой

термометра минимальное число представляется во всех разрядах логическими нулями, а максимальное – логическими единицами. В диапазоне входных сигналов параллельного АЦП младшие разряды термометрического кода принимают значения логической единицы, а старшие – логического нуля. Несмотря на успехи, достигнутые в разработке таких шифраторов, актуальны схемотехнические решения с низкой потребляемой мощностью. Одно из возможных решений восьмиразрядного шифратора представлено в данной статье с использованием результатов моделирования в САПР Cadence Virtuoso для 180 нм КМОП-технологии.

Разработка восьмиразрядного шифратора

Шифраторы с разрядностью выходного кода от четырех до восьми разрядов строятся на основе шифраторов более низкого порядка, например

Таблица 1

Таблица истинности двухразрядного шифратора

X_1	X_2	X_3	Y_1	Y_2
0	0	0	0	0
0	0	1	0	1
0	1	1	1	0
1	1	1	1	1

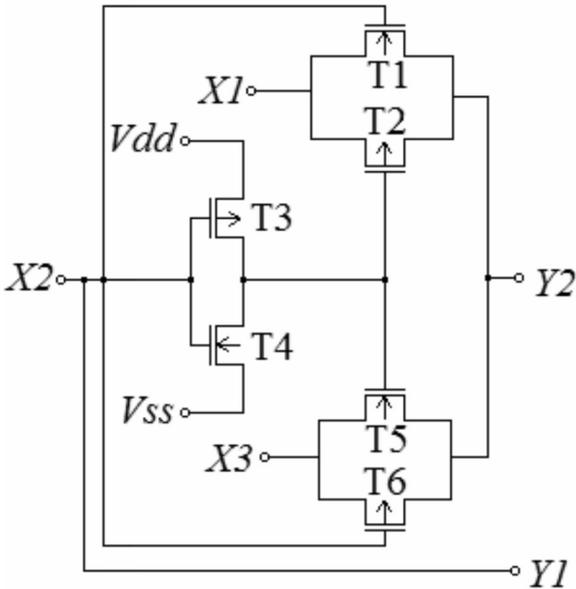


Рис. 1. Схема двухразрядного шифратора

второго, таблица истинности которого представлена в табл. 1. Схема данного шифратора показана на рис. 1 и разработана, исходя из соображений использования минимального числа элементов, что позволяет уменьшить занимаемую на кристалле площадь. Подложки МОП-транзисторов с *n*-каналом T1, T4 и T5 подключаются к отрицательной шине источника питания V_{ss} , а подложки МОП-транзисторов с *p*-каналом T2, T3 и T6 – к положительной шине V_{dd} .

Шифратор (рис. 1) состоит из двух КМОП-

ключей на основе транзисторов T1, T2 и T5, T6, которые управляются напряжением на входе X2, определяющим старший разряд Y1 выходного двоичного кода. Входное напряжение X2 поступает с выхода компаратора, порог переключения которого соответствует середине диапазона входных напряжений двухразрядного АЦП. Ключи при этом коммутируют напряжения X1 и X3 с выходов оставшихся двух компараторов для формирования младшего разряда Y2 выходного двоичного кода АЦП. На основании предложенной схемы возможна реализация трехразрядного шифратора (рис. 2), где блок с обозначением CD – двухразрядный шифратор согласно рис. 1.

Действуя аналогично, получим схему четырехразрядного шифратора (рис. 3) на основе трехразрядных шифраторов (рис. 2). Для этого необходимо использование двухвходовых мультиплексоров с обозначением MUX, схема которых представлена на рис. 4. Подложки МОП-транзисторов с *n*-каналом T2, T4, T5, T6, T8 и T10 подключаются к отрицательной шине источника питания V_{ss} , а подложки МОП-транзисторов с *p*-каналом T1, T3, T7 и T9 – к положительной шине V_{dd} . Работа мультиплексора осуществляется по сигналу на адресном входе А. При сигнале на входе А, равном логической единице, на выход поступает сигнал со входа D1, а при сигнале А, равном логическому нулю, – со входа D2. Инверторы на основе транзисторов T7–T10 являются буферными элементами.

Таким образом, наращивая разрядность аналогично рис. 3, восьмиразрядный шифратор ре-

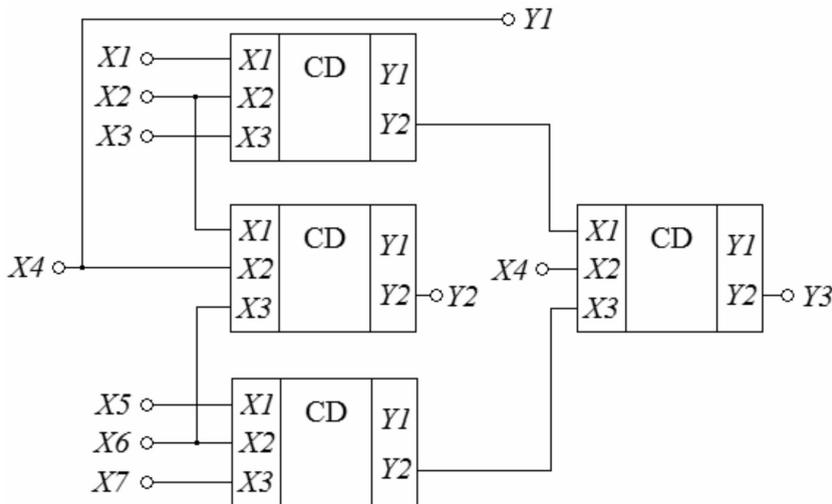


Рис. 2. Схема трехразрядного шифратора

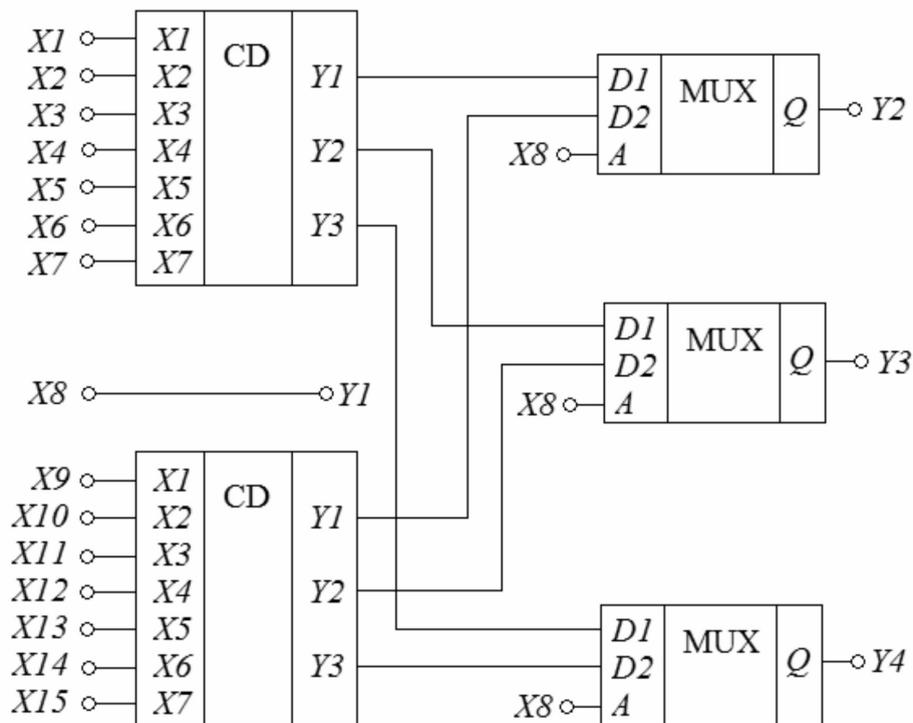


Рис. 3. Схема четырехразрядного шифратора

лизуется с использованием двух семизарядных шифраторов и семи двухвходовых мультиплексоров.

Моделирование восьмиразрядного шифратора

Моделирование временных и мощностных характеристик шифратора проводилось при помощи САПР Cadence Virtuoso на основе 180 нм КМОП-технологии компании UMC для однополярного питания 1,8 В.

Время задержки-переключения восьмиразрядного шифратора оценивалось по отклику на выходе младшего разряда Y8 прямого двоичного кода при изменении входного термометрического кода во всех 255 разрядах из логического нуля в логическую единицу (по фронту) и наоборот (по спаду), что обусловлено схмотехническим решением шифратора. Согласно представленным в предыдущем разделе схемам, наибольшее время задержки-переключения будет иметь младший разряд выходного прямого двоичного кода.

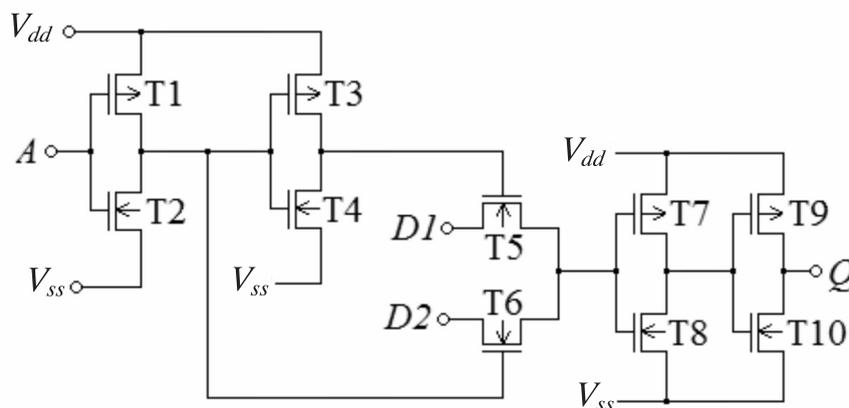


Рис. 4. Схема мультиплексора

Таблица 2

Результаты моделирования шифратора

Условия	T, °C	Время задержки-переключения, пс		Длительность фронта, пс	Длительность спада, пс	Потребляемая мощность, мкВт
		«По фронту»	«По спаду»			
tt	-40	584	500	43	24	430
	27	640	570	50	29	442
	85	689	630	55	32	461
ss	-40	881	673	59	31	411
	27	957	774	70	38	429
	85	1020	859	78	44	446
ff	-40	431	398	33	19	446
	27	475	450	39	23	460
	85	513	496	43	26	485
snfp	-40	666	512	44	24	469
	27	726	586	51	29	483
	85	778	649	56	34	504
fnsp	-40	534	496	45	24	408
	27	588	563	52	28	425
	85	634	621	58	32	443
Среднее значение		674	585	52	29	449
Максимальное значение		1020	859	78	44	504

Моделирование проводилось при всех возможных граничных условиях (tt, ss, ff, snfp, fnsp) для трех значений температур -40 °C, 27 °C, 85 °C. Результаты представлены в табл. 2.

Анализ результатов

На потребляемую мощность шифратора влияют разрядность, технология изготовления и тактовая частота. Выигрыш по потребляемой мощности представленного схмотехнического решения шифратора по сравнению с известными аналогами [6–10] возможно оценить на основе результатов моделирования. При этом необходимо осуществить пересчет потребляемой мощности сравниваемого шифратора ($P_{сравн}$) к эквивалентному шифратору, выполненному по тому же принципу, разрядностью 8 бит, изготовленному в 180 нм КМОП-технологии и имеющему тактовую частоту 1 ГГц. При этом токи потребления при пересчете считаются неизменными. Тогда изменение потребляемой мощности можно оценивать:

- при другой разрядности с помощью коэф-

фициента $2^{N_{экр} - N_{сравн}}$, где $N_{экр}$ и $N_{сравн}$ – разрядности эквивалентного и сравниваемого шифраторов соответственно;

- при смене технологии – множителем $\frac{E_{экр}}{E_{сравн}}$, где $E_{экр}$ – напряжение питания шифратора,

выполненного в 180 нм КМОП-технологии ($E_{экр} = 1,8$ В), $E_{сравн}$ – напряжение питания сравниваемого шифратора;

- при изменении тактовой частоты – множителем $\frac{F_{экр}}{F_{сравн}}$, где $F_{экр}$ и $F_{сравн}$ – тактовые частоты

эквивалентного разработанному и сравниваемого шифраторов соответственно.

Тогда эквивалентная потребляемая мощность определяется как

$$P_{экр} = 2^{N_{экр} - N_{сравн}} P_{сравн} \frac{E_{экр}}{E_{сравн}} \frac{F_{экр}}{F_{сравн}}$$

При прочих равных условиях оценки выигрыша по потребляемой мощности разработанного схмотехнического решения шифратора по сравнению с известными аналогами представлены в

Таблица 3

Выигрыш по потребляемой мощности

Шифратор	$P_{\text{сравн}}^?$ мВт	$N_{\text{сравн}}^?$ бит	$F_{\text{сравн}}^?$ ГГц	Технология, CMOS	Выигрыш, раз
[6] на основе полного сумматора	0,138	5	0,1	0,18 μm	24,6
[6] на основе элементов памяти	0,233		0,1		41,5
[6] на основе мультимплексов	0,254		0,1		45,3
[6] на основе логических элементов	0,007		0,1		1,3
[7]	3,1	4	3,5	0,18 μm	31,6
	4		5		28,5
[8]	0,438	8	2	0,07 μm	1,3
	0,328	6	2,7		2,8
[9]	0,185	4	5	0,09 μm	2,4
[10]	0,67	6	2,5	0,18 μm	2,4
	0,86		3,3		2,3

табл. 3. Минимальный выигрыш по потребляемой мощности получается для шифратора восьмиразрядного АЦП из [8]:

$$\frac{P_{\text{экв}}}{P_{\text{разраб}}} = \frac{0,438 \cdot 1,8}{0,439 \cdot 0,7} = 1,3 \text{ раза,}$$

где $P_{\text{разраб}}$ – средняя потребляемая мощность разработанного шифратора.

Максимальный выигрыш по потребляемой мощности получается для шифратора [6] на основе мультиплексов и составляет:

$$\frac{P_{\text{экв}}}{P_{\text{разраб}}} = 2^3 \frac{0,254}{0,449} \frac{1}{0,1} = 45,3 \text{ раза.}$$

В статье предложено схемотехническое решение шифратора термометрического кода в прямой двоичный код. Осуществлено моделирование восьмиразрядной схемы в САПР Cadence Virtuoso для 180 нм КМОП-технологии при однополярном напряжении питания 1,8 В. Максимальное время задержки-переключения составляет около 1 нс, что позволяет использовать данную схему при обработке сигналов с тактовой частотой 1 ГГц наравне с имеющимися аналогами. Средняя потребляемая мощность не превосходит 500 мкВт. При прочих равных условиях достигается выигрыш по потребляемой мощности по сравнению с известными схемами до 40 раз.

СПИСОК ЛИТЕРАТУРЫ

1. Бунтов, В.Д. Цифровые и микропроцессорные радиотехнические устройства [Текст]/ В.Д. Бунтов, С.Б. Макаров. –СПб.: Изд-во Политехнического ун-та, 2005. –398 с.
2. Эннс, В.И. Проектирование аналоговых КМОП-микросхем [Текст]/ В.И. Эннс, Ю.М. Кобзев. –М.: Горячая линия – Телеком, 2005. –454 с.
3. Богатырев, Е.А. Энциклопедия электронных компонентов. Большие интегральные схемы [Текст]/ Е.А. Богатырев, В.Ю. Ларин, А.Е. Лякин.; Под. ред. А.Н. Еркина. –М.: ООО «Макро Тим», 2006. —Т. 1. –224 с.
4. Sall, E. Comparison of Two Thermometer-to-Binary Decoders for High-Performance Flash ADCs [Text]/ E. Sall, M. Vesterbacka // NORCHIP Conference, 2005. –23rd. –Nov. 2005. –P. 253–256.
5. Yoo, J. Future-Ready Ultrafast 8 bit CMOS ADC for System-on-Chip Applications [Text] / J. Yoo, D. Lee, K. Choi [et al.] // ASIC/SOC Conf., 2001. Proc. 14th Annual IEEE International. –Sep. 2001. –P. 455–459.

6. **Madhumati, G.L.** Comparison of 5-bit Thermometer-to-Binary Decoders in 1,8 V, 0,18 μm CMOS Technology for Flash ADCs [Text] / G.L. Madhumati, K. Ramakoteswara Rao, M. Madhavalatha // 2009 International Conf. on Signal Processing Systems. –May 2009. –P. 516–520.
7. **Sheikhaei, S.** An Encoder For a 5 GS/s 4-Bit Flash ADC in 0.18 μm CMOS [Text] / S. Sheikhaei, S. Mirabbasi, A. Ivanov // Electrical and Computer Engineering, 2005. Canadian Conf. –May 2005. –P. 698–701.
8. **Yoo, J.** Quantum Voltage comparator for 0,07 μm CMOS flash A/D converters [Text] / J. Yoo, K. Choi, J. Ghaznavi // VLSI, 2003. Proc. IEEE Computer Society Annual Symp. –Feb. 2003. –P. 208–281.
9. **Hiremath, V.** An Ultra High Speed Encoder for 5GSPS Flash ADC [Text] / V. Hiremath, S. Ren // Instrumentation and Measurement Technology Conf. (I2MTC), 2010 IEEE. –May 2010. –P. 136–141.
10. **Nguyen, M.S.** Design and Implementation of Double Base Integer Encoder in the Flash ADC [Text] / M.S. Nguyen, J. Kim // Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology, 2009. ECTI-CON 2009. 6th International Conf. –May 2009. –P. 496–499.