



Электроника, технологии производства материалов электронной техники

УДК 621.396.6

*Д.В. Морозов, М.С. Енученко
Санкт-Петербург, Россия*

ЦИФРО-АНАЛОГОВЫЕ ПРЕОБРАЗОВАТЕЛИ С УНАРНОЙ И СЕГМЕНТНОЙ АРХИТЕКТУРАМИ

*D.V. Morozov, M.S. Yenuchenko
St.-Petersburg, Russia*

DIGITAL-TO-ANALOG CONVERTERS WITH UNARY AND SEGMENTED ARCHITECTURES

Рассмотрены унарная, бинарная и сегментная архитектуры ЦАП, проведено сравнение. Сделан вывод о целесообразности использования сегментной архитектуры при необходимости снижения требований к согласованию параметров элементов.

ЦИФРО-АНАЛОГОВЫЙ ПРЕОБРАЗОВАТЕЛЬ. ТЕРМОМЕТРИЧЕСКИЙ ДЕШИФРАТОР. СЕГМЕНТНАЯ АРХИТЕКТУРА.

Unary, binary and segmented architectures were presented. Comparison of architectures was conducted. Segmented architecture provides decreasing element mismatch.

DIGITAL-TO-ANALOG CONVERTER. THERMOMETRIC DECODER. SEGMENTED ARCHITECTURE.

Одна из основных составляющих систем телекоммуникаций и управления – цифро-аналоговый преобразователь (ЦАП). Как правило, ЦАП является встраиваемым блоком данных систем, что приводит к необходимости уменьшения занимаемых размеров на кристалле при сохранении прочих характеристик. Наиболее простой способ построения параллельного ЦАП – использование взвешивающих элементов, имеющих веса, относящиеся как степени числа два, – бинарная архитектура. Данный подход не требует использования дополнительных блоков, т. к. взвешивающие элементы непосредственно управляются сигналами разрядов входного прямого двоичного кода. Однако этот подход требует высокой точности исполнения взвешивающих элементов и, в первую очередь, элемента, взвешивающего старший разряд: отклонение старшего взвешивающего элемента не должно превышать половины веса младшего значащего разряда (МЗР). Так, для

10-разрядного ЦАП это относительное отклонение не должно превышать $\frac{0,5}{2^9} = 0,098 \%$.

Достижение такой точности исполнения возможно лишь увеличением геометрических размеров элементов и всей площади в целом с целью уменьшения влияния краевых эффектов, однако и в таком случае возможна потеря точности за счет увеличения влияния неоднородности кристалла. В данной статье рассматриваются альтернативные способы построения ЦАП, позволяющие решить проблему точности исполнения элементов: использование унарной и сегментной архитектур [1–3].

Унарная архитектура

Альтернативным подходом по отношению к бинарной архитектуре является применение унарной архитектуры, где используются эле-

менты одинакового веса, число которых для N -разрядного ЦАП равно $2^N - 1$. Схемы ЦАП с бинарной и унарной архитектурами представлены на рис. 1. Бинарная архитектура представлена двоично-взвешенными источниками тока $I, 2I, 4I$ и т. д., где I – ток, соответствующий младшему разряду. Унарная архитектура содержит одинаковые источники тока с весом I . Обе схемы имеют токовый выход, суммирование токов происходит в выходном узле.

Управление элементами в унарной архитектуре осуществляется $2^N - 1$ -разрядным термометрическим кодом. По аналогии со шкалой термометра минимальное число в данном коде представляется во всех разрядах логическими нулями, а максимальное – логическими единицами. В диапазоне входных сигналов ЦАП младшие разряды термометрического кода принимают значения логической единицы, а старшие – логического нуля (код на выходах компараторов в параллельном аналого-цифровом преобразователе является примером термометрического кода [4]). Управление источниками тока таким кодом гарантирует монотонность характеристики преобразования и снижает требования к точности исполнения. Так, для унарной архитектуры это требование составляет для каждого элемента (аналогично бинарной) половину МЗР, но т. к. все элементы считаются младшими, то относительное отклонение уже будет составлять 50 % вне зависимости от разрядности ЦАП.

Так как в случае унарной архитектуры управление взвешенными элементами ведется с помощью термометрического кода, то для преобразования прямого двоичного кода в термометрический необходим термометрический дешифратор. Стро-

го говоря, такое устройство называется *кодопреобразователем* [5], однако нередко в публикациях используют термин «дешифратор» [1–4, 6–8]. Способы построения и возможные реализации дешифратора термометрического кода рассматриваются в следующем разделе.

Термометрический дешифратор

Одномерный дешифратор. В термометрическом коде десятичное число n представляется в виде n единиц, остальные разряды принимаются равными нулю, или наоборот, т. е. в виде n нулей, остальные – единицы. Был проведен синтез трехразрядного термометрического дешифратора на основе таблицы истинности (рис. 2). Из таблицы истинности нетрудно заметить, что разряд выходного кода Y_4 повторяет старший разряд входного кода X_3 , а разряды Y_7 и Y_1 являются логическим произведением и суммой всех разрядов входного кода соответственно. Построив карты Карно для Y_6 и Y_5 и проведя минимизацию, логические функции с Y_1 по Y_7 можно представить в виде:

$$\begin{aligned} Y_1 &= X_1 + X_2 + X_3 = (X_3 + X_1) + (X_3 + X_2); \\ Y_2 &= X_3 + X_2; \\ Y_3 &= (X_3 + X_2) \cdot (X_3 + X_1); Y_4 = X_3; \\ Y_5 &= X_3 \cdot X_2 + X_3 \cdot X_1; \\ Y_6 &= X_3 \cdot X_2; \\ Y_7 &= X_1 \cdot X_2 \cdot X_3 = (X_3 \cdot X_2) \cdot (X_3 \cdot X_1). \end{aligned}$$

Каждый дешифратор разрядности $N+1$ строится на основе двух дешифраторов разрядности N . На входы дешифратора, отвечающего за младшие разряды, подаются логические суммы N -х разрядов и $N+1$ -го, на входы дешифратора, отвечающего за старшие разряды, подаются логические произведения N -х разрядов и $N+1$ -го.

Количество логических элементов такого термометрического дешифратора вычисляется по формуле:

$$k_{1D}(N) = 2^{N+1} - 2N - 2, \quad (1)$$

где N – разрядность входного двоичного кода дешифратора. Так, для 6-разрядного дешифратора потребуется 114 логических элементов, для 8-разрядного – 494.

Усредненное время задержки срабатывания данного устройства равно

$$t_{1D} = (N - 1)\tau, \quad (2)$$

где τ – время задержки срабатывания одного ло-

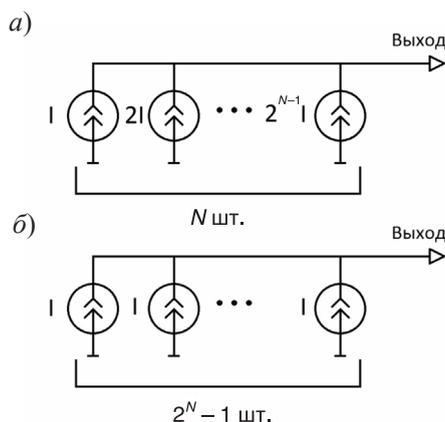


Рис. 1. Бинарная (а) и унарная (б) архитектуры

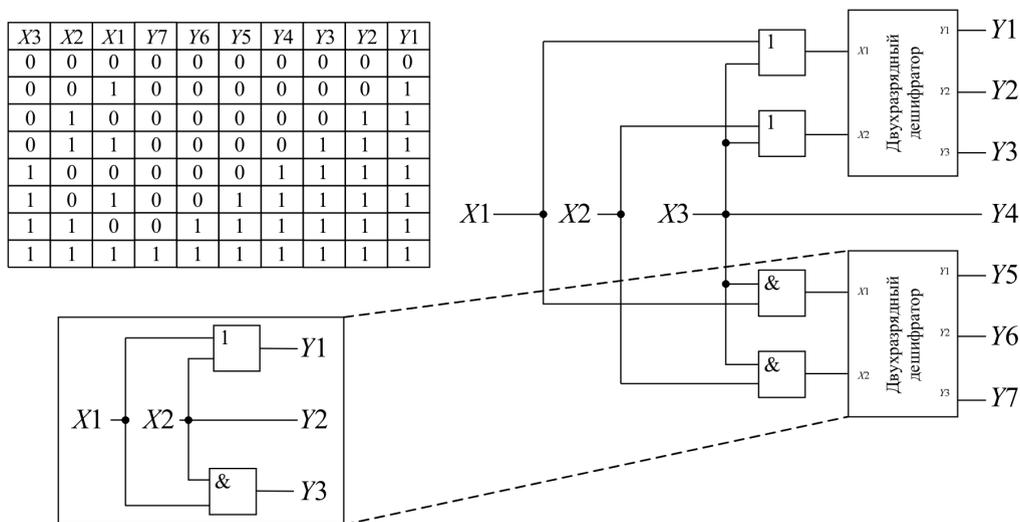


Рис. 2. Структура и таблица истинности трехразрядного термометрического дешифратора

гического элемента. Такой дешифратор будем называть *одномерным*.

Двумерный дешифратор. Структура *двумерного* дешифратора на примере четырех разрядов входного кода представлена на рис. 3 [4–6]. Такой дешифратор строится на базе двух дешифраторов разрядности $N/2$ и имеет в каждой ячейке комбинацию логических элементов, работающих следующим образом: выходной сигнал ячейки принимает значение единицы, если ячейка находится на пересечении текущей строки Y_i и текущего столбца Y_j или если выбрана следующая строка Y_{i+1} .

В случае двумерного дешифратора формулы числа элементов и времени задержки срабатывания принимают вид:

$$k_{2D}(N) = k_{1D}(N/2) \cdot 2 + 2 \cdot (2^N - 1) = k_{1D} + 2^{\frac{N}{2}+2} - 4. \quad (3)$$

$$T = \left(\frac{N}{2} + 1\right)\tau. \quad (4)$$

В сравнении с одномерным дешифратором (1) и (2), для двумерного дешифратора требуется большее число логических элементов, но сокращается время срабатывания устройства.

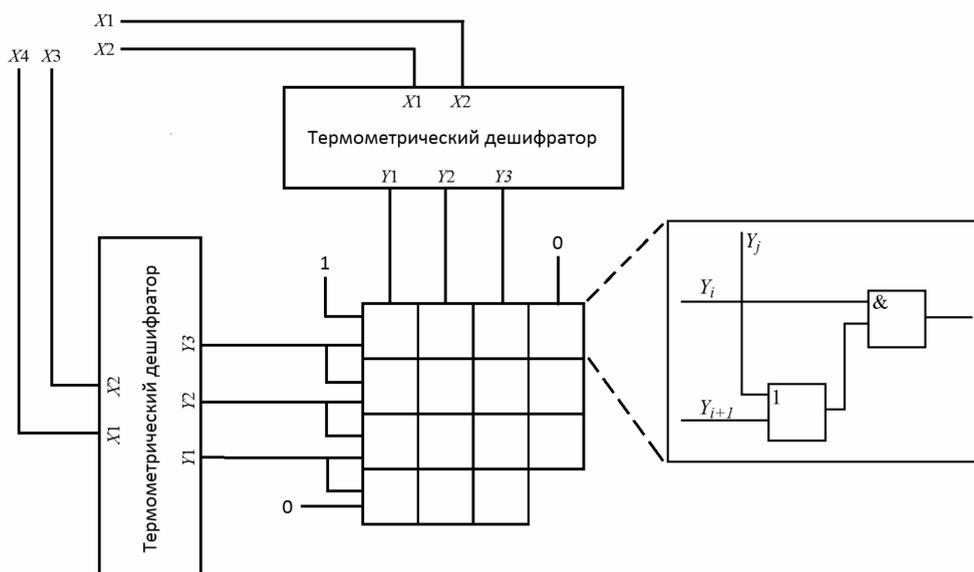


Рис. 3. Структура двумерного дешифратора

Таблица 1

Сравнение способов дешифрования

Дешифрование	Число логических элементов					
	Разрядность					
	4	6	8	10	12	16
Одномерное	22	114	494	2026	8166	131038
Двумерное	34	142	554	2150	8418	132058
Увеличение числа элементов, %	54	24	12	6	3	1
Максимальная задержка (в единицах задержки одного элемента)						
Одномерное	3	5	7	9	11	15
Двумерное	3	4	5	6	7	9
Увеличение быстродействия, %	0	25	40	50	57	67

Сравнение способов дешифрования по количеству элементов и быстродействию представлено в табл. 1.

С ростом разрядности число логических элементов становится сопоставимым, а быстродействие двумерного дешифратора растет. Например, для 16-разрядного двумерного дешифратора увеличение числа элементов относительно одномерного дешифратора лишь на 1 % дает 67 % выигрыш в быстродействии.

Реализация дешифратора с параллельным формированием выходных функций. Помимо рекурсивного способа построения термометрического дешифратора есть вариант реализации для всех выходов, кроме Y_8 , в точности повторяющего старший бит входного кода, параллельным формированием выходных функций. Так, для четырехразрядного дешифратора выходные функции приобретают следующий вид:

$$Y_1 = \overline{\overline{X_4 + X_3}} \cdot \overline{\overline{X_2 + X_1}}; Y_2 = X_2 + X_3 + X_4;$$

$$Y_3 = \overline{\overline{X_1 \cdot X_2}} \cdot \overline{\overline{X_3 + X_4}}; Y_4 = \overline{\overline{X_3 + X_4}};$$

$$Y_5 = \overline{\overline{X_1 \cdot X_3}} \cdot \overline{\overline{(X_4 + X_3) \cdot (X_4 + X_2)}};$$

$$Y_6 = \overline{\overline{X_4 + X_3}} \cdot \overline{\overline{X_4 + X_2}};$$

$$Y_7 = \overline{\overline{X_1 + X_4}} \cdot \overline{\overline{(X_4 + X_3) \cdot (X_4 + X_2)}};$$

$$Y_9 = \overline{\overline{X_1 \cdot X_4}} \cdot \overline{\overline{X_4 \cdot (X_2 + X_3)}};$$

$$Y_{10} = \overline{\overline{X_4 \cdot (X_2 + X_3)}};$$

$$Y_{11} = \overline{\overline{X_1 + X_3}} \cdot \overline{\overline{X_4 \cdot (X_2 + X_3)}};$$

$$Y_{12} = \overline{\overline{X_3 \cdot X_4}}; Y_{13} = \overline{\overline{X_1 + X_2}} \cdot \overline{\overline{X_3 \cdot X_4}};$$

$$Y_{14} = X_2 \cdot X_3 \cdot X_4;$$

$$Y_{15} = \overline{\overline{X_4 \cdot X_3}} \cdot \overline{\overline{X_2 \cdot X_1}}.$$

Данный подход позволяет при изменении всех разрядов входного кода из состояния 0 в состояние 1 и обратно сблизить времена задержки срабатывания дешифратора. При этом достигается уменьшение числа транзисторов в 1,4 раза, и среднее время преобразования сокращается в 1,3 раза.

Сегментная архитектура

Сегментная архитектура представляет компромисс между унарной и бинарной архитектурой. В этом случае ЦАП разбивается на сегменты: бинарный и унарный. В связи с описанными выше проблемами точности исполнения старшие разряды обрабатываются унарным сегментом, младшие – бинарным.

Чтобы показать, как точность исполнения элементов влияет на характеристики ЦАП, проведем моделирование дифференциальной нелинейности для различных архитектур в среде MATLAB. При этом введем следующее предположение: взвешивающие элементы бинарной архитектуры строятся параллельным соединением необходимого числа элементов единичного веса. Тогда ЦАП с любой архитектурой будет иметь одинаковое число элементов K единичного веса, равное $K = 2^N - 1$, где N – разрядность ЦАП. Дополнительно предположим, что площади элементов единичного веса ЦАП для указанных архитектур одинаковы. Исследование проведем для 8-разрядных ЦАП. В сегментном ЦАП унарный сегмент обрабатывает четыре старших разряда, бинарный – четыре младших.

В модели генерируется массив элементов единичного веса, имеющих значения выходной характеристики (например, разрядного тока) в виде нормально распределенной случайной величины с математическим ожиданием 1 и среднеквадратичным отклонением σ . Моделирование производится для трех значений σ в диапазоне от 0,01 до 0,1. На основе этого массива формируются унарный, бинарный и сегментный ЦАП. Получается статическая характеристика каждого ЦАП и вычисляется максимальная DNL каждого из преобразователей. Результаты проведенных статистических испытаний представлены в табл. 2.

Из табл. видно, что начиная с выборки 10^2 , расхождение составляет не более 5 %, а начиная с

выборки 10^4 – не более 1 %. Таким образом, дальнейшее увеличение выборки нецелесообразно. Также из таблицы видно, что дифференциальная нелинейность, связанная с разбросом параметров элементов, для ЦАП с унарной архитектурой в пять раз ниже, чем для ЦАП с бинарной архитектурой. Для сегментного ЦАП, обрабатывающего половину разрядов унарным сегментом, половину – бинарным сегментом, эта нелинейность составляет с точностью до 6 % среднее значение нелинейностей ЦАП с унарной и ЦАП с бинарной архитектурой.

В итоге можно сделать следующие выводы. При одинаковой площади взвешивающих элементов унарная архитектура проигрывает бинарной

Таблица 2

Результаты моделирования разброса параметров бинарного и сегментного ЦАП

Средняя максимальная DNL			
Выборка	Унарный	Бинарный	Сегментный 4/4
Среднее квадратичное отклонение σ 0,01			
1	0,0354	0,1631	0,1142
1,00E+01	0,0304	0,1656	0,1255
1,00E+02	0,0306	0,1657	0,1062
1,00E+03	0,0304	0,1686	0,1039
1,00E+04	0,0305	0,1643	0,1030
1,00E+05	0,0304	0,1652	0,1033
Среднее квадратичное отклонение σ 0,05			
1	0,1435	0,6507	0,3804
1,00E+01	0,1410	0,8084	0,4460
1,00E+02	0,1529	0,8181	0,5377
1,00E+03	0,1518	0,8333	0,5223
1,00E+04	0,1521	0,8222	0,5180
1,00E+05	0,1521	0,8293	0,5172
Среднее квадратичное отклонение σ 0,1			
1	0,2708	0,9223	0,9633
1,00E+01	0,2742	1,6638	0,8295
1,00E+02	0,2984	1,5972	1,0191
1,00E+03	0,3044	1,6813	1,0299
1,00E+04	0,3053	1,6655	1,0318
1,00E+05	0,3044	1,6556	1,0341

по площади, занимаемой всем преобразователем, потребляемой мощности, быстродействию, однако дает гарантированную монотонность характеристик преобразования и снижает требования к точности исполнения элементов.

Обеспечить указанные преимущества бинарной и унарной архитектур удается при использовании сегментной архитектуры. Как правило,

разрядности бинарного и унарного сегментов оказываются близкими. При увеличении разрядности унарного сегмента достигается уменьшение дифференциальной нелинейности, связанной с разбросом параметров взвешивающих элементов, а при увеличении бинарного сегмента снижается занимаемая площадь, потребляемая мощность и увеличивается быстродействие.

СПИСОК ЛИТЕРАТУРЫ

1. **Radiom, S.** Folded-current-steering DAC: an approach to low-voltage high-speed high-resolution D/A converters [Text] / S. Radiom, B. Sheikholeslami, H. Aminzadeh [et al.] // IEEE International Symp. on Circuits and Systems. –2006. –P. 4783–4786.
2. **Hyuen-Hee, Bae.** A 3 V 12b 100 MS/s CMOS D/A converter for high-speed system applications [Text] / Bae Hyuen-Hee, Jin-Sik Yoon, Myung-Jin Lee [et al.] // Proc. of the International Symp. on Circuits and Systems, ISCAS '03. –2003. –Vol. 1. –P. I-869–I-872.
3. **Da-Huei, Lee.** Nyquist-Rate Current-Steering Digital-to-Analog Converters With Random Multiple Data-Weighted Averaging Technique and Q^N Rotated Walk Switching Scheme [Text] / Lee Da-Huei, Yu-Hong Lin, Tai-Haur Kuo // IEEE on Circuits and Systems II: Express Briefs. –2006. –Vol. 53. –№. 11. –P. 1264–1268.
4. **Эннс, В.И.** Проектирование аналоговых КМОП-микросхем [Текст] / В.И. Эннс, Ю.М. Кобзев. –М.: Горячая линия – Телеком, 2005. –454 с.
5. **Бунтов, В.Д.** Цифровые и микропроцессорные радиотехнические устройства [Текст] / В.Д. Бунтов, С.Б. Макаров. –СПб.: Изд-во Политехнического ун-та, 2005. –398 с.
6. **Zhongjun, Yu.** 1-D and 2-D switching strategies achieving nearoptimal INL for thermometer-coded current steering DACs [Text] / Yu Zhongjun, Degang Chen, R. Geiger // ISCAS '03 Proceedings of the International Symp. on Circuits and Systems. –2003. –Vol. 1. –P. I-909–I-912.
7. **Da-Huei, Lee.** Low-Cost 14-Bit Current-Steering DAC With a Randomized Thermometer-Coding Method [Text] / Lee Da-Huei, Tai-Haur Kuo, Kow-Liang Wen // IEEE Transactions on Circuits and Systems. Part II: Express Briefs. –2009. –Vol. 56. –Iss. 2. –P. 137–141.
8. **Starzyk, J.A.** Cost-oriented design of a 14-bit current steering DAC macrocell [Text] / J.A. Starzyk, R.P. Mohn // Proc. of the International Symp. on Circuits and Systems, ISCAS '03. –2003. –Vol. 1. –P. I-965–I-968.